

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-157062

(43)Date of publication of application : 30.05.2003

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20
H04N 5/66

(21)Application number : 2002-221893

(71)Applicant : OPTREX CORP
ASAHI GLASS CO LTD

(22)Date of filing : 30.07.2002

(72)Inventor : ISSHIKI SHINSEI

(30)Priority

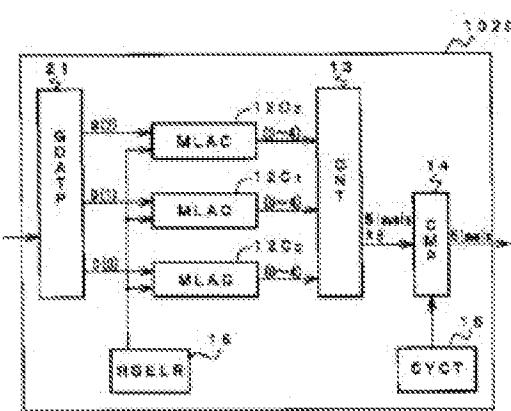
Priority number : 2001248337 Priority date : 17.08.2001 Priority country : JP

(54) DRIVING METHOD AND DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the increase of current consumption and the increase of a crosstalk in the case of applying a PWM method to an MLA method and to suppress the increase of the circuit scale of a driving circuit further.

SOLUTION: MLACs 12C0–12C2 are provided corresponding to a weighted PWM period and respectively perform MLA arithmetic operations for PWM components of respective PWM periods (0)–(2) outputted from a GDATP 11 and a raw selection pattern outputted from an RSELRL 15. A CNT 13 counts the respective numbers of values outputted from the respective MLACs and outputs a counted result to a CMP 14. The CMP 14 outputs MLA arithmetic results in an ascending order or a descending order according to the counted result and cycle signals.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While a line electrode of a liquid crystal display which has two or more line electrodes and two or more column electrodes is put in block two or more, choosing and impressing predetermined voltage based on an ingredient of an orthogonal matrix to each selected line electrode for every selection period, In a drive method of a liquid crystal display which impresses column voltage according to a value obtained from an indicative data and an ingredient of said orthogonal matrix to each column electrode, One selection period is divided during [when it was attached to weighting by each / two or more] the weighting, A drive method of a liquid crystal display rearranging into an ascending order or a descending order a value according to column voltage which generates data according to gradation of an indicative data corresponding to said each weighting period, and is obtained from data in said each weighting period, and an ingredient of an orthogonal matrix, and outputting it.

[Claim 2] When the number of division periods at the time of dividing one selection period during [each] the weighting according to a gradation number is (involution-1 of 2), A drive method of the liquid crystal display according to claim 1 which attaches weighting of n-th power (n is 0 or a positive integer) of 2 so that the sum of weighting to each weighting period may be equivalent to the number of division periods.

[Claim 3] When the number of division periods at the time of dividing one selection period according to a gradation number is not (involution-1 of 2), Two or more weighting periods which attached weighting of n-th power (n is 0 or a positive integer) of 2, A drive method of the liquid crystal display according to claim 1 which sets up a weighting period which attached weighting of the m-th power (m is not larger than n 0 or a positive integer) of 2 about a part which lengthened the sum of weighting to said two or more weighting periods from the number of division periods.

[Claim 4] A drive method of the liquid crystal display according to claim 2 or 3 which divides one selection period into division into equal parts, and is made into each division period.

[Claim 5] While a line electrode of a liquid crystal display which has two or more line electrodes and two or more column electrodes is put in block two or more, choosing and impressing predetermined voltage based on an ingredient of an orthogonal matrix to each selected line electrode for every selection period, In a drive circuit of a liquid crystal display which impresses column voltage according to a value obtained from an indicative data and an ingredient of said orthogonal matrix to each column electrode, It is provided corresponding to each of two or more weighting periods which can be set at one selection period when weighting was attached to each, A calculating means which calculates a value according to column voltage from data according

to gradation of an indicative data and an ingredient of an orthogonal matrix in a corresponding weighting period, A drive circuit of a liquid crystal display provided with a counting means which calculates occurrences of an operation value of said calculating means, and a column voltage value output means which rearranges a value according to column voltage into an ascending order or a descending order, and outputs it based on a counting result of said counting means.

[Claim 6]A drive circuit of the liquid crystal display according to claim 5 which calculates by a calculating means including virtual data set up reduce the number of voltage levels impressed to a column electrode at one selection period in data according to gradation including a line corresponding to a dummy line which does not actually display an orthogonal matrix.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the drive method which drives a liquid crystal display with a plural lines simultaneous selection method, and the drive circuit using the drive method. It is related with the drive method and drive circuit of a liquid crystal display which can control increase of the consumed electric current, and increase of a cross talk especially.

[0002]

[Description of the Prior Art]The liquid crystal display is widely applied to personal digital assistants, such as a portable telephone and a Personal Digital Assistant, taking advantage of a light weight and the characteristic of being small. Although what mainly uses the STN LCD element by which a passive drive is carried out, and the thing which uses the active-matrix liquid crystal element provided with TFT are shown in a liquid crystal display, Compared with an active-matrix liquid crystal element, a manufacturing process is short, and has easy element structure, and the STN LCD element has the advantage that it is producible by low cost.

[0003]Also in the personal digital assistant, to perform a colored presentation and easy animation display is desired. Therefore, the liquid crystal display to which carrying out a high speed response and a gradation display are made is required.

[0004]A comparatively high-speed response characteristic is acquired in an active-matrix liquid crystal element. On the other hand, it is common that the line sequential driving methods, such as APT (Alto Pleshko Technique) and IAPT (Improved APT), are used as a drive system in the STN LCD element. Since the line sequential driving method can generate an one level / off-level easily, it is effective as a multiplexer drive, but a limit is to carry out the high speed response of the STN LCD element.

[0005]Drive methods for driving the STN LCD element at a high speed more include a plural lines simultaneous selection method (the multiline addressing method: MLA method). MLA method is a method of choosing collectively and driving two or more scanning electrodes (line electrode). In order to control independently the sequence display pattern supplied to a data electrode (column electrode) by MLA method, a predetermined voltage pulse sequence is impressed to each line electrode driven simultaneously.

[0006]The voltage pulse voltage group (selection pulse group) impressed to each line electrode can be expressed with the procession of an L line K sequence. This procession is called selection row sequence below. L is the number of simultaneous selections. A voltage pulse voltage group is expressed as a vector group which intersects perpendicularly mutually. Therefore, the

procession which includes those vectors as an element turns into an orthogonal matrix. Each row vector within each procession lies at right angles mutually.

[0007]In an orthogonal matrix, each line corresponds to each line of a liquid crystal display. For example, the element of the 1st line of a selection row sequence is applied to the 1st line in the selection line of L book. That is, a selection pulse is impressed to the 1st line electrode in order of the element of the 1st row, and the element of the 2nd row.

[0008]Drawing 15 is an explanatory view showing how to decide the sequence of the voltage waveform impressed to a column electrode. In drawing 15, (a) shows a selection row sequence and the example of an indicative data, (b) shows the example of a sequence display pattern and a voltage pattern, and (c) shows the example of a voltage waveform of the column electrodes i and j. Here, as shown in drawing 15 (a), four-line the orthogonal matrix of four rows is taken for an example as four-line two rows and a selection row sequence as a pixel. "1" means a positive selection pulse and "0" as used in the selection row sequence shown in drawing 15 (a) means a negative selection pulse.

[0009]The indicative data which should be displayed in the column electrodes i and j presupposes that it is shown in the right-hand side of drawing 15 (a). In drawing 15 (a), it is shown that a white round head is lighting and that a black dot is putting out lights. Then, a sequence display pattern is expressed with a vector (d) as shown in drawing 15 (b). In the vector (d) shown in drawing 15 (b), "1" corresponds to an one display and "0" corresponds to an OFF display.

[0010]The voltage level which should be impressed to the column electrodes i and j one by one becomes like vector (v) shown in drawing 15 (b). This vector corresponds to what took exclusive OR for every bit about the sequence display pattern and the line selection pattern (sequence in a selection row sequence) corresponding to it, and took the sum of those results. Drawing 15 (c) is a timing diagram showing the voltage waveform of the column electrodes i and j corresponding to vector (v) shown in drawing 15 (b). In drawing 15 (c), a vertical axis shows the voltage (column voltage) impressed to a column electrode, and the horizontal axis shows time. It is here, and "0", $-V_c$ and "2" correspond to 0, "3" corresponds to $+V_c$, and "4" supports [$-2V_c$ and "1"] $+2V_c$.

[0011]According to such a drive method, the frame response of a liquid crystal is controlled and, as a result, a high speed response and high contrast can be attained simultaneously. That is, in a simple matrix display device, high-definition picture offer made difficult is conventionally attained by drive display.

[0012]If the on-off display and selection pattern in a sequence display pattern and a line selection pattern are expressed in "0" as "1" when driving a liquid crystal display with MLA method, The voltage pattern impressed to a column electrode corresponds to what took exclusive OR for every bit about the sequence display pattern and the line selection pattern corresponding to it, and took the sum of those results.

[0013]Therefore, the level number of column voltage is set to $L+1$ when the line number by which simultaneous selection is made is L. For example, when four-line the orthogonal matrix of four rows shown in drawing 15 (a) is used as a selection row sequence, since a simultaneous selection line number is 4, the number of applied voltage levels is 5. As shown in drawing 15 (c), specifically, five kinds of levels ($-2V_c$, $-V_c$, 0, $+V_c$, $+2V_c$) will be impressed to the column electrodes i and j.

[0014]In an active-matrix-driven method, in order to perform a halftone display, amplitude modulation can be used and intermediate voltage can be generated comparatively easily.

However, in the passive driving method, if amplitude modulation is performed simply, the voltage variation at the time of the non selection in a line sequential drive will arise, and different inaccurate voltage from the voltage according to an one display or an OFF display will be impressed to a non-display portion. Then, the technique for generating various intermediate voltage is used.

[0015]Hereafter, the drive method at the time of applying the gradation method (henceforth the PWM method) by pulse width modulation to MLA method is explained. First, the example of the general PWM method is shown in drawing 16. In drawing 16, "1" corresponds to an one display and "0" corresponds to an OFF display.

[0016]As shown in drawing 16, a selection period (T) is divided into division into equal parts during the 5 division ($T_0 - T_4$). The gradation levels 5/5 perform the period one display of $T_0 - T_4$, and the period OFF display of $T_0 - T_4$ is performed in the gradation levels 0/5. And in the gradation levels 1/5, 2/5, 3/5, and 4/5, the gradation of an intermediate level is displayed by making the period of an one display and an OFF display intermingled. Thus, when it divides into five, the gradation of six levels can be displayed.

[0017]Next, how to perform a gradation display by the PWM method in MLA method is explained. In drawing 17, the example of the impressed-electromotive-force pattern to a column electrode [in / (a) can be set for the example of the indicative data for one row, and / in (b) / each division period $T_0 - T_4$] and (c) show the example of a selection row sequence.

[0018]The period which is using the 2nd (R_2) row of the selection row sequences shown in drawing 17 (c) as a line selection pattern is considered. In period T_0 , the sum of the exclusive OR of each bit of a sequence display pattern (1, 1, 1, 1) and a line selection pattern is "1." In period T_1 , the sum of the exclusive OR of each bit of a sequence display pattern (1, 1, 0, 1) and a line selection pattern is "2." In period T_2 , the sum of the exclusive OR of each bit of a sequence display pattern (1, 0, 0, 1) and a line selection pattern is "1." In period T_3 , the sum of the exclusive OR of each bit of a sequence display pattern (1, 0, 0, 0) and a line selection pattern is "2." In period T_4 , the sum of the exclusive OR of each bit of a sequence display pattern (0, 0, 0, 0) and a line selection pattern is "3." Therefore, the voltage level which should be impressed to a column electrode one by one is set to (1, 2, 1, 2, 3). Drawing 17 (d) is a timing diagram showing the voltage waveform of a column electrode. In (d), a vertical axis shows column voltage and the horizontal axis shows time.

[0019]

[Problem(s) to be Solved by the Invention]As shown in drawing 17 (d), when the PWM method is applied to MLA method, the change point of column voltage will increase in the voltage waveform of the column electrode in one selection period. For this reason, SUBJECT that a cross talk becomes large occurs. Since the change point of column voltage increases, SUBJECT that the consumed electric current will increase also occurs.

[0020]In order to solve such SUBJECT, in WO00/02185 gazette. When the PWM method is applied to MLA method, it divides during [when one selection period was attached to weighting by each / two or more] the division, and the drive method of the liquid crystal display which generates the data according to the gradation of the indicative data corresponding to each division period is indicated. The drive method is conventionally made into the driving method. Drawing 18 is an explanatory view for explaining the voltage waveform which can be assumed when the driving method is applied conventionally in the case of 8 gradation levels.

[0021]In drawing 18, the example of the data to which (a) was assigned to four-line the example of an indicative data of three rows of the gradation levels 2/7 (the bottom of the 8 gradation

levels of 0-7 to 3rd gradation level), and (b) was assigned during [each] the division in 1 selection period, and (c) show the example of a selection row sequence. By the driving method, one selection period is conventionally divided during the number-of-bits n (this example n= 3) at the time of carrying out the binary expression of the gradation level. And the dignity of "1 (0th power of 2)" is attached to the first division period. The dignity of "2 (1st power of 2)" is attached to the next division period. The dignity of "4 (2 squares)" is attached to the next division period. And according to a gradation level, data is assigned during [each] the division. In this case, since a gradation level is "2", "1" is assigned during [when the dignity of "2 (1st power of 2)" was attached] the division. The voltage of the level according to the sum of the exclusive OR of each bit of the sequence display pattern and line selection pattern in each division period is impressed to a column electrode.

[0022]In the example of a drive, an order of each division period that dignity was attached is conventionally made reverse for every selection period. If each division period is set up in a certain selection period in order of the division period when the dignity of "1" was attached, the division period when the dignity of "2" was attached, and the division period when the dignity of "4" was attached, In the next selection period, each division period is set up in order of the division period when the dignity of "4" was attached, the division period when the dignity of "2" was attached, and the division period when the dignity of "1" was attached.

[0023]In the example of a drive, the changing point number in a driving waveform is conventionally decreased dividing a selection period during [by which weighting was carried out / two or more] the division, and by making reverse the order of each division period by which weighting was carried out for every selection period. As a result, dispersion in the frequency component in a driving waveform decreases.

[0024]However, when an indicative data is data of the gradation levels 2/7, the voltage waveform impressed to a column electrode comes to be shown in drawing 18 (d). That is, the changing point number in a driving waveform is not decreasing so much. That is, case [whose gradation level is / like two sevenths], by the driving method, decreasing the changing point number in a driving waveform is not realized conventionally.

[0025]Then, an object of this invention is to provide the drive method and drive circuit of a liquid crystal display which can control more effectively increase of the consumed electric current, and increase of a cross talk, and can control increase of the circuit structure of a drive circuit more effectively further, when the PWM method is applied to MLA method.

[0026]

[Means for Solving the Problem]A drive method of a liquid crystal display of the mode 1 of this invention, One selection period is divided during [when it was attached to weighting by each / two or more] the weighting, Data according to gradation of an indicative data is generated corresponding to each weighting period, and a value according to column voltage obtained from data in each weighting period and an ingredient of an orthogonal matrix is rearranged into an ascending order or a descending order, and is outputted. When each value according to column voltage obtained is already an ascending order or a descending order, rearrangement will already be made.

[0027]In a drive method of the mode 1, a drive method of a liquid crystal display of the mode 2 during [each] the weighting, When the number of division periods at the time of dividing one selection period according to a gradation number is (involution-1 of 2), weighting of n-th power (n is 0 or a positive integer) of 2 is attached so that the sum of weighting to each weighting period may be equivalent to the number of division periods.

[0028]When the number of division periods at the time of dividing one selection period according to a gradation number is not (involution-1 of 2) in a drive method of the mode 1, a drive method of a liquid crystal display of the mode 3, Two or more weighting periods which attached weighting of n-th power (n is 0 or a positive integer) of 2, A weighting period which attached weighting of the m-th power (m is not larger than n 0 or a positive integer) of 2 about a part which lengthened the sum of weighting to those weighting periods from the number of division periods is set up.

[0029]In a drive method of the mode 2 or the mode 3, a drive method of a liquid crystal display of the mode 4 divides one selection period into division into equal parts, and makes it each division period.

[0030]This invention is characterized by a drive circuit of a liquid crystal display of the mode 5 comprising the following.

A calculating means which is established corresponding to each of two or more weighting periods which can be set at one selection period when weighting was attached to each, and calculates a value according to column voltage from data according to gradation of an indicative data and an ingredient of an orthogonal matrix in a corresponding weighting period.

A counting means which calculates occurrences of an operation value of a calculating means.

A column voltage value output means which outputs a value according to column voltage to an ascending order or a descending order based on a counting result of a counting means.

By according to such composition, rearranging a value according to column voltage into an ascending order or a descending order, and outputting it, can control increase of the consumed electric current, and increase of a cross talk, and further, Increase of circuit structure of a drive circuit can be controlled by providing two or more weighting periods when one selection period was attached to weighting by each.

[0031]A drive circuit of a liquid crystal display of the mode 6 contains a line corresponding to a dummy line which an orthogonal matrix does not actually display in a drive circuit of the mode 5, It calculates by a calculating means including virtual data set up reduce the number of voltage levels impressed to a column electrode at one selection period in data according to gradation. While being able to control still more effectively increase of the consumed electric current, and increase of a cross talk since the number of column voltage (kind) can be reduced when an orthogonal matrix contains a line corresponding to a dummy line, increase of circuit structure of a drive circuit can be controlled still more effectively.

[0032]

[Embodiment of the Invention](Embodiment 1) This embodiment of the invention is described hereafter. Drawing 1 is a block diagram showing the example of composition of Embodiment 1 of the drive circuit of the liquid crystal display by this invention. After the composition shown in drawing 1 set the number of simultaneous selections to 4 and divides one selection period of MLA into division into equal parts in seven periods, it is an example of composition in the case of setting up the weighting period which attached dignity and realizing the PWM method. Therefore, when the drive circuit shown in drawing 1 is used, 8 gradation displays can be performed.

[0033]As for each divided period, when dividing one selection period, it is preferred division into equal parts, the equivalent period mostly divided into division into equal parts, or that it is an equivalent period mostly, but depending on the case, it may not divide equally.

[0034]Drawing 2 is a block diagram showing the example of connection of the bit map memory 31, drive circuit 102C₁ - 102C_n in which an indicative data is stored. The example shown in

drawing 2 shows the example which can memorize the indicative data for n sequence of four lines, C₁ - C_n. And MLAD102C₁ and ... which are the drive circuits corresponding to each sequence of the bit map memory 31, and 102C_n are connected. Each MLAD102C₁, ..., 102C_n are constituted, respectively, as shown in drawing 1.

[0035]Here, the gradation data (PWM ingredient) of each period at the time of applying the PWM method for the ability to perform 8 gradation displays to MLA method is explained.

Drawing 3 is an explanatory view in the case of performing 8 gradation displays. The explanatory view in which the explanatory view in which (a) shows the example of the indicative data for one row, and (b) show the example and the MLA result of an operation of an impressed-electromotive-force pattern to the column electrode in each period T₀ when one selection period (T) is divided equally in seven periods - T₆ in drawing 3, The explanatory view in which (c) shows the example of a selection row sequence, (d), and (e) are the timing diagrams showing the voltage waveform of a column electrode. Hereafter, each period T₀ - T₆ are also called a PWM period.

[0036]Although drawing 4 is a block diagram showing an example of the drive circuit for realizing the PWM method shown in drawing 3, the example shown in drawing 4 is a comparative example over MLAD102C by this invention shown in drawing 1. In MLAD103 as a comparative example, GDATP11 which is a gradation processing circuit generates the gradation data (PWM ingredient) of each PWM period T₀ - T₆ from an indicative data.

[0037]MLAC120C₀ which performs an MLA operation and which is hardware circuitry, 120C₁, 120C₂, 120C₃, 120C₄, 120C₅, and 120C₆, It is provided corresponding to each PWM period T₀ - T₆, and an MLA operation is performed from the PWM ingredient of each PWM period T₀ outputted from GDATP11 - T₆, and the ingredient of the line selection pattern outputted from RSEL15 which performs selection row sequence maintenance, respectively. That is, respectively MLAC120C₀ - 120C₆ compute the exclusive OR of each PWM ingredient and the ingredient of a selection row sequence, perform the MLA operation of adding a computed result, and output an added result. Therefore, either of MLAC120C₀ - 120C₆ to "0" - "4" is outputted. The added result outputted from MLAC120C₀ - 120C₆ is a value which shows the level of column voltage.

[0038]CNT13 which is a circuit which calculates, "0" outputted from each MLAC120C₀ - 120C₆ It outputs to CMP14 which is a circuit which calculates each number of - "4" and compares a counting result ("0" each number of - "4" (either of the octals of 0-7)). CMP14 is outputted to the column voltage generation circuit (not shown) which generates column voltage according to the cycle signal outputted from CYCT16 in the counting result outputted from CNT13. It is a signal which shows in which period a cycle signal is among each PWM period T₀ in one selection period - T₆, for example, the signal which shows 0-6 as a cycle signal is outputted repeatedly in order.

[0039]Whenever GDATP11 inputs the indicative data of line L_n (n is 0-3 at this example), it generates the PWM ingredient of each PWM period T₀ corresponding to the inputted indicative data - T₆. And each element of an PWM ingredient is outputted to corresponding MLAC120C₀ - 120C₆. Supposing it seems that an indicative data shows (a) of drawing 3, the PWM ingredient of PWM period T₀ shown in (b) of drawing 3 will be outputted to MLAC120C₀, The PWM ingredient of PWM period T₁ is outputted to MLAC120C₁, the PWM ingredient of PWM period T₂ is outputted to MLAC120C₂, and the PWM ingredient of PWM period T₃ is outputted to MLAC120C₃. The PWM ingredient of PWM period T₄ is outputted to MLAC120C₄, the PWM ingredient of PWM period T₅ is outputted to MLAC120C₅, and the PWM ingredient of PWM

period T₆ is outputted to MLAC120C₆.

[0040] And RSELR15 is outputting the ingredient in the line selection pattern corresponding to the selection period at the time, when the PWM ingredient of line L_n is outputted to each MLAC120C₀ - 120C₆ from GDATP11. For example, when the line selection pattern of R₂ shown in drawing 3 (c) is being used. When the PWM ingredient of line L₀ is outputted to each MLAC120C₀ - 120C₆ from GDATP11, RSELR15, "1" which is an ingredient corresponding to line L₀ in the line selection pattern of R₂ is outputted. When the PWM ingredient of line L₁ is outputted to each MLAC120C₀ - 120C₆ from GDATP11, "0" which is an ingredient corresponding to line L₁ in the line selection pattern of R₂ is outputted. Similarly, when the PWM ingredient of line L₂ and L₃ is outputted to each MLAC120C₀ - 120C₆ from GDATP11, the ingredient corresponding to line L₂ in the line selection pattern of R₂ and L₃ is outputted.

[0041] Each MLAC120C₀ - 120C₆ perform an MLA operation about the PWM ingredient outputted from GDATP11, and the ingredient of a line selection pattern, and output the result of an operation to CNT13. For example, each MLAC120C₀ - 120C₆ input the PWM ingredient of GDATP11 to line L₀. In that case, the ingredient of line L₀ in a line selection pattern is outputted from RSELR15. Each MLAC120C₀ - 120C₆ compute the exclusive OR of the PWM ingredient of line L₀, and the ingredient of line L₀ in a line selection pattern, and memorize a computed result. Each MLAC120C₀ - 120C₆ input the PWM ingredient of GDATP11 to line L₁. In that case, the ingredient of line L₁ in a line selection pattern is outputted from RSELR15. Each MLAC120C₀ - 120C₆ compute the exclusive OR of the PWM ingredient of line L₁, and the ingredient of line L₁ in a line selection pattern, and memorize a computed result. Similarly, each MLAC120C₀ - 120C₆ input the PWM ingredient of line L₂ from GDATP11, and L₃. In that case, the ingredient of line L₂ in a line selection pattern and L₃ is outputted from RSELR15. Each MLAC120C₀ - 120C₆ compute the exclusive OR of the PWM ingredient of line L₂ and L₃, and the ingredient of line L₂ in a line selection pattern, and L₃, and memorize a computed result. Each MLAC120C₀ - 120C₆ add each memorized value. And an added result is outputted to CNT13 as the MLA result of an operation (value which shows the level of column voltage).

[0042] Supposing a line selection pattern is R₂ of the selection row sequences shown in (c) of drawing 3, MLAC120C₀ outputs "1" as the MLA result of an operation as a value which shows the level of column voltage, MLAC120C₁ outputs "2", MLAC120C₂ outputs "1" and MLAC120C₃ outputs "1." MLAC120C₄ outputs "2", MLAC120C₅ outputs "1", and MLAC120C₆ outputs "3."

[0043] Therefore, CNT13 outputs to CMP14 the signal which shows three pieces about one piece and "2", shows three pieces about "1", and shows ["4" / "0"] 0 about 0 and "3." If the result of an operation of each MLAC120C₀ - 120C₆ is outputted to a column voltage generator as it is, voltage as shown in drawing 3 (d) will be impressed to a column electrode.

[0044] However, in MLAD103 in the comparative example shown in drawing 4, CMP14 will output the smallest value among the values which show the level of column voltage, if a cycle signal shows "0." In this case, "1" is outputted. If a cycle signal shows "1", the smallest value will be outputted among the values which show the level of column voltage at the time. An outputted value already is excepted from the decision object of the smallest value. Similarly, if a cycle signal shows "2", "3", "4", "5", and "6", the smallest value will be outputted among the values which show the level of column voltage at each time. Therefore, as shown in drawing 3 (e), the number of times which the change point of column voltage produces is reduced. As a result, increase of the consumed electric current and increase of a cross talk are controlled.

[0045] Circuit structure becomes large although MLAD103 in the comparative example shown in

drawing 4 can control increase of the consumed electric current, and increase of a cross talk. Since MLAC120C₀ - 120C₆ are provided, if the number of partitions of the number according to PWM period T₀ - T₆ of one selection period increases, the number of MLAC(s) will turn into a huge number. In MLAD103 in the comparative example shown in drawing 4. For example, the indicative data of line L₀ - L₃ is read from a memory to one selection period only once, respectively, Based on the indicative data from which GDATP11 was read, the PWM ingredient according to PWM period T₀ - T₆ is generated, Each PWM ingredient is given to corresponding MLAC120C₀ - 120C₆, and the MLA operation for one selection period (a part for PWM period T₀ - T₆) is performed. However, if the same data is read from a memory for every PWM period T₀ - T₆ and it is made to perform the MLA operation about each PWM period T₀ - T₆ serially in time, what is necessary will be just to provide only one MLAC.

[0046]However, since a memory is frequently accessed when such composition is taken, the consumed electric current will increase. That is, it becomes difficult to use for the liquid crystal display carried in a personal digital assistant.

[0047]Then, weighting is performed to MLAC and the number of circuits of MLAC is reduced so that it may explain below. Drawing 5 is an explanatory view for explaining weighting made in an MLA arithmetic circuit. In drawing 5, (a) shows each PWM period (division period) T₀ corresponding to the drive controlling which MLAD103 of the comparative example mentioned above performs - T₆. (b) shows each PWM period (0) - (2) and the MLA result of an operation corresponding to the drive controlling which MLAD102C of this embodiment performs. Here, the length of PWM period (0) - (2) which is a weighting period is not equivalent, and dignity (Wt.) is attached in time. Therefore, PWM period (0) - (2) will be called the PWM period (or two or more weighting periods when dignity was attached) by which weighting was carried out. Here, the length of PWM period (0) - (2) which is a weighting period is not equivalent, and dignity (Wt.) is attached in time. Therefore, PWM period (0) - (2) will be called the PWM period (or two or more weighting periods when dignity was attached) by which weighting was carried out. Specifically, the length of the PWM period (0) which is shown in (b) and by which weighting was carried out is equivalent to the length for one division period at the time of dividing one selection period (T) during a 7th grade implementation period (division period T₀ - T₆). The length of the PWM period (1) which is shown in (b) and by which weighting was carried out is equivalent to the length for two division periods, and the length of the PWM period (2) which is shown in (b) and by which weighting was carried out is equivalent to the length for four division periods.

[0048]When performing 8 gradation displays by the PWM method so that the description of drawing 5 (b) may show, one selection period can consist of three MLAC120C₀ - 120C₂. Weighting of "1 (0th power of 2)" should do to MLAC120C₀ in MLAD102C of the embodiment of the invention 1 shown in drawing 1. Weighting of "2 (1st power of 2)" is made by MLAC120C₁, and weighting of "4 (2 squares)" is made by MLAC120C₂. That is, the dignity of involution of two is attached, respectively. Since MLAC120C₀ - 120C₂ support PWM period (0) - (2) by which weighting was carried out, PWM period (0) Dignity's being attached to - (2) is also that the dignity of MLAC120C₀ - 120C₂ is attached.

[0049]Weighting corresponds to the PWM period (PWM period in the direction of the division period when weighting is not made) when the column voltage according to the value which shows the level of the column voltage which MLAC outputted is outputted. Namely, in the PWM period whose column voltage according to the value which shows the level of the column voltage outputted from MLAC120C₀ by which weighting of "1" was made is one, it is outputted

to a column voltage generation circuit, In the PWM period whose column voltage according to the value which shows the level of the column voltage outputted from MLAC120C₁ by which weighting of "2" was made is two, it is outputted to a column voltage generation circuit, In the PWM period whose column voltage according to the value which shows the level of the column voltage outputted from MLAC120C₂ by which weighting of "4" was made is four, it is outputted to a column voltage generation circuit.

[0050]Here, the composition of MLAD102C of the embodiment of the invention 1 shown in drawing 1 is explained. As shown in drawing 1, in MLAD102C, GDATP21 generates the gradation data (PWM ingredient) of each PWM period (0) - (2) by which weighting was carried out from the indicative data. In drawing 1, the gradation data of each PWM period (0) - (2) by which weighting was carried out is shown by D (0), D (1), and D (2). However, at this embodiment, as shown in drawing 5 (b), the PWM ingredient will be generated with outputting the indicative data expressed with the binary number inputted from the memory as it is.

[0051]MLAC120C₀, 120C₁, and 120C₂, An MLA operation is performed from the PWM ingredient of each [which is outputted from GDATP21 by being provided corresponding to - (2), respectively / by which weighting was carried out] each [by which weighting was carried out] PWM period (0) PWM-period (0) - (2), and the ingredient of the line selection pattern outputted from RSEL15. That is, respectively MLAC120C₀ - 120C₂ compute the exclusive OR of each PWM ingredient and the ingredient of a selection row sequence, add a computed result (MLA operation), and output an added result. Therefore, either of MLAC120C₀ - 120C₂ to "0" - "4" is outputted. The added result outputted from MLAC120C₀ - 120C₂ is a value which shows the level of column voltage.

[0052]CNT13 calculates each number of "0" - "4" outputted from each MLAC120C₀ - 120C₂, and outputs a counting result ("0" each number of - "4" (either of the octals of 0-7)) to CMP14. CMP14 is outputted to the column voltage generation circuit (not shown) which generates column voltage according to the cycle signal outputted from CYCT16 in the counting result outputted from CNT13. It is a signal which shows in which period a cycle signal is among each PWM period T₀ in one selection period - T₆, for example, the signal which shows 0-6 as a cycle signal is outputted repeatedly in order.

[0053]Each calculating means is realized by each MLAC120C₀ provided corresponding to each PWM period by which weighting was carried out - 120C₂, The counting means which calculates the occurrences of the operation value (either [This example] 0-4) outputted from each calculating means is realized by CNT13, and the column voltage value output means is realized by CMP14 and CYCT16. In this example, GDATP21, MLAC120C₀ - 120C₂, CNT13, CMP14, RSEL15, and CYCT16 operate according to a clock signal. The value which a cycle signal shows is called a cycle value.

[0054]Although the value of either of the octals of 0-7 is outputted to CMP14 as the number from CNT13 in this embodiment about each of "0" - "4" corresponding to the column voltage (-2V_c, -V_c, 0, +V_c, +2V_c) of five levels, It may be made to output the number about the column voltage of four arbitrary levels. Since the sum total of the number is seven according to PWM period T₀ - T₆, even if it makes it CNT13 output the number about the column voltage of four levels, the number about remaining one level understands CMP14.

[0055]Next, operation of MLAD102C shown in drawing 1 is explained with reference to the timing diagram showing the explanatory view of drawing 3 (a) and (c), the explanatory view of drawing 5 (b), and operation of MLAD102C of drawing 6. The PWM ingredient to which a cycle value and 6B are outputted for 6A from GDATP11 in drawing 6, The line selection pattern in

which 6C is outputted from RSELR15, and 6D show the output of MLAC120C₀ - 120C₂, 6E shows the output (renewal of an output) of CNT13, and 6F shows the output of CMP14. As shown in drawing 6, when a cycle value is set to "2", from the bit map memory 31. The indicative data of line L₀ is outputted to GDATP21 in MLAD102C, If a cycle value is set to "3", the indicative data of line L₁ will be outputted, if a cycle value is set to "4", the indicative data of line L₂ will be outputted, and if a cycle value is set to "5", the indicative data of line L₃ will be outputted.

[0056] Whenever GDATP21 inputs the indicative data of line L_n (n is 0-3 at this example), it generates the PWM ingredient of each PWM period (0) - (2) corresponding to the inputted indicative data by which weighting was carried out. However, as mentioned above, GDATP21 outputs the indicative data expressed with the inputted binary number as it is actually. And each element of an PWM ingredient is outputted to corresponding MLAC120C₀ - 120C₂. Supposing it seems that an indicative data shows (a) of drawing 3, the PWM ingredient of the PWM period (0) which is shown in (b) of drawing 5 and by which weighting was carried out will be outputted to MLAC120C₀, The PWM ingredient of the PWM period (1) by which weighting was carried out is outputted to MLAC120C₁, and the PWM ingredient of the PWM period (2) by which weighting was carried out is outputted to MLAC120C₂.

[0057] And RSELR15 is outputting the ingredient in the line selection pattern corresponding to the selection period at the time, when the PWM ingredient of line L_n is outputted to each MLAC120C₀ - 120C₂ from GDATP21. For example, when the line selection pattern of R₂ shown in drawing 3 (c) is being used. When the PWM ingredient of line L₀ is outputted to each MLAC120C₀ - 120C₂ from GDATP21, RSELR15, "1" which is an ingredient corresponding to line L₀ in the line selection pattern of R₂ is outputted, When the PWM ingredient of line L₁ is outputted to each MLAC120C₀ - 120C₂ from GDATP21, "0" which is an ingredient corresponding to line L₁ in the line selection pattern of R₂ is outputted. Similarly, when the PWM ingredient of line L₂ and L₃ is outputted to each MLAC120C₀ - 120C₂ from GDATP21, the ingredient corresponding to line L₂ in the line selection pattern of R₂ and L₃ is outputted.

[0058] Each MLAC120C₀ - 120C₂ perform an MLA operation about the PWM ingredient outputted from GDATP21, and the ingredient of a line selection pattern, and output the result of an operation to CNT13. For example, each MLAC120C₀ - 120C₂ input the PWM ingredient of GDATP21 to line L₀. In that case, the ingredient of line L₀ in a line selection pattern is outputted from RSELR15. Each MLAC120C₀ - 120C₂ compute the exclusive OR of the PWM ingredient of line L₀, and the ingredient of line L₀ in a line selection pattern, and memorize a computed result. Each MLAC120C₀ - 120C₂ input the PWM ingredient of GDATP21 to line L₁. In that case, the ingredient of line L₁ in a line selection pattern is outputted from RSELR15. Each MLAC120C₀ - 120C₂ compute the exclusive OR of the PWM ingredient of line L₁, and the ingredient of line L₁ in a line selection pattern, and memorize a computed result. Similarly, each MLAC120C₀ - 120C₂ input the PWM ingredient of line L₂ from GDATP21, and L₃. In that case, the ingredient of line L₂ in a line selection pattern and L₃ is outputted from RSELR15. Each MLAC120C₀ - 120C₂ compute the exclusive OR of the PWM ingredient of line L₂ and L₃, and the ingredient of line L₂ in a line selection pattern, and L₃, and memorize a computed result. Each MLAC120C₀ - 120C₂ will add each memorized value, if a cycle value is set to "6." And an added result is outputted to CNT13 as the MLA result of an operation (value which shows the level of column voltage).

[0059] Supposing a line selection pattern is R₂ of the selection row sequences shown in (c) of drawing 3, MLAC120C₀ outputs "2" as the MLA result of an operation as a value which shows

the level of column voltage, MLAC120C₁ outputs "3" and MLAC120C₂ outputs "1."

[0060]If a cycle value is set to "6", CNT13 will calculate each number of "0" - "4" outputted from each MLAC120C₀ - 120C₂, and will output a counting result to CMP14, but. According to this embodiment, the value from MLAC120C₀ is calculated as it is, it considers that it was outputted twice by the value from MLAC120C₁, and it is calculated, it considers that it was outputted 4 times by the value from MLAC120C₂, and it is calculated. Therefore, in this example, an output value is updated so that the signal which shows two pieces about 0 and "3", shows one piece about "2", and shows ["1"] four pieces about "4" may be outputted to CMP14.

[0061]CMP14 will output the smallest value among the values which show the level of column voltage, if a cycle value is set to "0." In this case, "1" is outputted. If a cycle value is set to "1", the smallest value will be outputted among the values which show the level of column voltage at the time. An outputted value already is excepted from the decision object of the smallest value. Similarly, CMP14 will output the smallest value among the values which show the level of column voltage at each time, if a cycle value is set to "1", "2", "3", "4", "5", and "6."

[0062]Among the values "0" which show the level of column voltage, -V_c and "2" correspond to 0, "3" corresponds to +V_c, and "4" supports [-2V_c and "1"] +2V_c. When a cycle signal shows "2", "3", "4", and "5", the data of line L₀ - the data of line L₃ are again outputted from the bit map memory 31.

[0063]Comparison of MLAD102C which is a drive circuit shown in MLAD103 which is a drive circuit of the comparative example shown in drawing 4, and drawing 1 reduces the number of MLAC in MLAD102C. That is, circuit structure is reduced. Thus, in this embodiment, while reducing the number of times which the change point of column voltage produces when CMP14 rearranges into an ascending order the value which shows the column voltage after an MLA operation and outputs it, the circuit structure of MLAD102C is reducible.

[0064]If the value which shows the column voltage after an MLA operation is rearranged into an ascending order, the number of times which the change point of column voltage produces can not only be reduced, but it can make small the grade of the voltage change in each change point. Since the grade of the voltage change in each change point becomes small, the current amount for charging the liquid crystal which acts as a capacitor becomes small, and the consumed electric current in the whole circuit becomes small. Since the grade of voltage change becomes small, the spike noise which takes a line electrode in a voltage change point can be made still smaller, as a result, a cross talk becomes small, and display unevenness decreases further.

[0065]In this embodiment, the value CMP14 indicates the column voltage after an MLA operation to be was rearranged so that it might rank with an ascending order, i.e., the large value from a value with each small value, in order, but even if it rearranges so that it may rank with a descending order, i.e., a value small from a value with each large value, in order, the same effect can be acquired. It may be made to make reverse the state of outputting to the state of outputting to an ascending order, and a descending order, for every selection period.

[0066]Drawing 7 is an explanatory view for an indicative data to explain the drive method of this embodiment in the case of the gradation levels 2/7 (the bottom of the 8 gradation levels of 0-7 to 3rd gradation level). In drawing 7, the example of the data to which (a) was assigned to four-line the example of an indicative data of three rows of the gradation levels 2/7, and (b) was assigned during [each] the division in 1 selection period, and (c) show the example of a selection row sequence. As shown in drawing 7 (b), one selection period is divided during the number-of-bits n (this example n= 3) at the time of carrying out the binary expression of the gradation level.

Although the MLA result of an operation was indicated by drawing 5 (b), the indicative data

before an MLA operation is shown in drawing 7 (b).

[0067] And the dignity of "1 (0th power of 2)" is attached to a PWM period (0). The dignity of "2 (1st power of 2)" is attached to a PWM period (1). The dignity of "4 (2 squares)" is attached to a PWM period (2). According to a gradation level, data is assigned during [each] the division. In this case, since a gradation level is "2", "1" is assigned at a PWM period (1). And the voltage of the level according to the sum of the exclusive OR of each bit of the sequence display pattern and line selection pattern in each PWM period is impressed to a column electrode.

[0068] Since the value according to the column voltage obtained from the data in each weighting period and the ingredient of a selection row sequence is rearranged into an ascending order or a descending order and is outputted in the drive method of this embodiment, When an indicative data is data of the gradation levels 2/7, the voltage waveform impressed to a column electrode comes to be shown in drawing 7 (d). At the voltage waveform, the changing point number in a driving waveform is decreasing compared with the driving method conventionally which does not rearrange within 1 selection period shown in drawing 18 (d). That is, even case [whose gradation level is / like two sevenths], in the drive method of this embodiment, the changing point number in a driving waveform can be decreased. Here, the state of outputting to the state of outputting to an ascending order, and a descending order, for every selection period is reverse.

[0069] In this embodiment, the changing point number in a driving waveform is decreased dividing a selection period during [by which weighting was carried out / two or more] the division, and by rearranging into an ascending order or a descending order the value according to the column voltage obtained from the data in a division period, and the ingredient of an orthogonal matrix, and outputting it. As a result, dispersion in the frequency component in a driving waveform decreases. As shown in drawing 7 (d), the changing point number in a driving waveform can be more effectively decreased by making reverse the state of outputting to the state of outputting to an ascending order, and a descending order, for every selection period.

[0070] Considering the case where set the number of partitions to 8 and a gradation number is set to 9 for example, according to this embodiment, what is necessary will be to increase the number of MLAC(s) to 4 from 3, and just to set dignity to increased MLAC to 8, although the number of partitions of one selection period was 7 (a gradation number is 8). The example of such dignity (Wt.) attachment is shown in (a) of drawing 8, and (b). However, if it was simply made such and its attention is paid to line L₀, seven "0" will occur in addition to [eight] "1" (drawing 8 (b)). Excessive "0" occurs similarly about other line L₁ - L₃.

[0071] If an MLA operation is performed using such data and voltage impressing is performed to a liquid crystal display, a different voltage effective value from the expected voltage effective value will be impressed. Therefore, the expected display is no longer made. This always corresponds, not only when the number of partitions is set to 8, but when (the number of partitions+1) does not become the n-th power (n is a natural number here) of 2. So, in this invention, weighting is determined as follows.

[0072] If the number of partitions of one selection period is set to N, the greatest integer P₀ used as $N \geq ([2^{(P_0+1)}]-1)$ will be calculated first. Here, the number on the right-hand side of "ⁿ" shows an index. 2^{P₀} based on calculated P₀ is the maximum of each weighting which can be expressed by the n-th power (n is a non-negative integral exponent here) of two. And it is determined that 2^{P₀}, 2^(P₀-1), ..., 2⁰ will use as weighting. Weighting determined here is made to call it "weighting by the usual binary number."

[0073] Next, weighting (it is called "additional weighting".) other than weighting by the usual binary number is determined. First, the greatest integer P₁ used as $\geq(N - ([2^{P_0+1}]-1)) 2^{P_1}$ is

calculated. It is considered as weighting of the 1st addition of 2^P_1 based on calculated P_1 . The greatest integer P_2 used as $>=(N-[2^{(P_0+1)}]-1)-2^P_1$ 2^P_2 is calculated. It is considered as weighting of the 2nd addition of 2^P_2 based on calculated P_2 . Hereafter, it is $N-[2^{(P_0+1)}]-1)-2^P_1$ in a similar manner. ---- One by one, integer $P_3 - P_x$ are calculated and weighting of all the additions is determined until it is set to $-2^P_x=0$.

[0074]For example, in the case of $N= 13$, since the greatest integer P_0 used as $N(=13) >= ([2^{(P_0+1)}]-1)$ is "2", it makes 2^2 weighting according [according to / for (=4) and 2^1 / (=2)] (=1) to the usual binary number in 2^0 . Since the greatest integer P_1 used as $>=(13-[8-1])$ 2^P_1 is "2", it makes (=4) the 1st weighting for 2^2 . Since the greatest integer P_2 used as $>=(13-[8-1]-4)$ 2^P_2 is "1", it makes 2^1 weighting of the 2nd addition of (=2). Therefore, in the case of $N= 13$, 4 as 4, 2 and 1 as weighting by the usual binary number, and additional weighting and 2 become with weighting. That is, when the number of the division periods at the time of dividing one selection period uniformly according to a gradation number is not (involution-1 of 2). Each weighting period which attached weighting of the n-th power (n is 0 or a positive integer, and a non-negative integral exponent that more specifically continues from 0) of 2, The weighting period which attached weighting of the m-th power (m is not larger than n 0 or a positive integer) of 2 about the part which lengthened the sum of weighting to those weighting periods from the number of division periods is set up.

[0075]Also when (the number of partitions+1) can express by the n-th power (n is a natural number here) of 2, weighting can be determined by calculating the greatest integer P_0 used as $N >= ([2^{(P_0+1)}]-1)$. For example, it is determined that in the case of $N= 7$ it will use 4, 2, and 1 as 2^P_0 , $2^{(P_0-1)}$, ..., 2^0 as weighting since P_0 is "2." And since it is $N(=7) = 4+2+1$, it is not necessary to determine additional weighting. That is, when the number of the division periods at the time of dividing one selection period uniformly according to a gradation number is (involution-1 of 2). Weighting of the n-th power (n is 0 or a positive integer, and a non-negative integral exponent that more specifically continues from 0) of 2 is attached to each weighting period so that the sum of weighting may be equivalent to the number of division periods.

[0076]The case of the number of partitions $N= 8$ is explained as an example when (Embodiment 2), next the (number of partitions+1) cannot express by the n-th power (n is a natural number here) of 2. It determines in the case of $N= 8$, to use 4, 2, and 1 as 2^P_0 , $2^{(P_0-1)}$, ..., 2^0 as weighting by the usual binary number, since the greatest integer P_0 used as $N(=8) >= ([2^{(P_0+1)}]-1)$ is "2." Since the greatest integer P_1 used as $>=(8-[8-1])$ 2^P_1 is "0", it makes (=1) weighting large next for 2^0 . Therefore, in the case of $N= 8$, 4, 2 and 1 as weighting by the usual binary number, and 1 as additional weighting become with weighting.

[0077]Drawing 9 is an explanatory view showing examples, such as an PWM ingredient in the case of the number of partitions $N= 8$. The explanatory view showing an PWM ingredient when the explanatory view in which (a) shows the example of the indicative data for one row, and (b) use 4, 2 and 1 as weighting (Wt.) by the usual binary number, and 1 as additional weighting, and the example of the MLA result of an operation in drawing 9, (c) is an explanatory view showing the example of a selection row sequence. In drawing 9 (b), the length of the PWM period (0) by which weighting was carried out is equivalent to the length for one of a PWM period (division period $T_0 - T_7$) which divided one selection period into eight equally. The length of the PWM period (1) by which weighting was carried out is equivalent to the length for two division periods, the length of the PWM period (2) by which weighting was carried out is equivalent to the length for four division periods, and the length of the PWM period (3) by which weighting was carried out is equivalent to the length for one division period.

[0078] Drawing 10 is a block diagram showing the composition of MLAD104 at the time of using weighting of 4, 2 and 1 as weighting by the usual binary number, and 1 as additional weighting. In the composition shown in drawing 9, GDATP21 generates the gradation data (PWM ingredient) of each PWM period (0) - (3) which is illustrated from an indicative data to drawing 9 (b) and by which weighting was carried out in MLAD104. Corresponding to each sequence of the bit map memory 31, MLAD104 is connected like the case of Embodiment 1 shown in drawing 2, respectively.

[0079] MLAC120C₀, 120C₁, 120C₂, and 120C₃, An MLA operation is performed from the PWM ingredient of each [which is outputted from GDATP21 by being provided corresponding to - (3), respectively / by which weighting was carried out] each [by which weighting was carried out] PWM period (0) PWM-period (0) - (3), and the ingredient of the line selection pattern outputted from RSELR15. That is, respectively MLAC120C₀ - 120C₃ compute the exclusive OR of each PWM ingredient and the ingredient of a selection row sequence, add a computed result (MLA operation), and output an added result. Therefore, either of MLAC120C₀ - 120C₃ to "0" - "4" is outputted. The added result outputted from MLAC120C₀ - 120C₃ is a value which shows the level of column voltage.

[0080] CNT13 calculates each number of "0" - "4" outputted from each MLAC120C₀ - 120C₃, and outputs a counting result ("0" each number of - "4" (either of the nine values of 0-8)) to CMP14. CMP14 is outputted to the column voltage generation circuit (not shown) which generates column voltage according to the cycle signal outputted from CYCT16 in the counting result outputted from CNT13. It is a signal which shows in which period a cycle signal is among each PWM period T₀ in one selection period - T₇, for example, the signal which shows 0-7 as a cycle signal is outputted repeatedly in order.

[0081] Next, operation of MLAD104 shown in drawing 10 is explained with reference to the timing diagram showing the explanatory view of drawing 8 (a), the explanatory view of drawing 9, and operation of MLAD104 of drawing 11. The PWM ingredient to which a cycle value and 10B are outputted for 10A from GDATP11 in drawing 11, The line selection pattern in which 10C is outputted from RSELR15, and 10D show the output of MLAC120C₀ - 120C₃, 10E shows the output (renewal of an output) of CNT13, and 10F shows the output of CMP14. As shown in drawing 11, when a cycle value is set to "3", from the bit map memory 31. The indicative data of line L₀ is outputted to GDATP21 in MLAD104, If a cycle value is set to "4", the indicative data of line L₁ will be outputted, if a cycle value is set to "5", the indicative data of line L₂ will be outputted, and if a cycle value is set to "6", the indicative data of line L₃ will be outputted.

[0082] Whenever GDATP21 inputs the indicative data of line L_n (n is 0-3 at this example), it generates the PWM ingredient of each PWM period (0) - (3) corresponding to the inputted indicative data by which weighting was carried out. And each element of an PWM ingredient is outputted to corresponding MLAC120C₀ - 120C₃. Supposing it seems that an indicative data shows (a) of drawing 9, the PWM ingredient of the PWM period (0) which is shown in (b) of drawing 9 and by which weighting was carried out will be outputted to MLAC120C₀, The PWM ingredient of the PWM period (1) by which weighting was carried out is outputted to MLAC120C₁, the PWM ingredient of the PWM period (2) by which weighting was carried out is outputted to MLAC120C₂, and the PWM ingredient of the PWM period (3) by which weighting was carried out is outputted to MLAC120C₃.

[0083] And RSELR15 is outputting the ingredient in the line selection pattern corresponding to the selection period at the time, when the PWM ingredient of line L_n is outputted to each MLAC120C₀ - 120C₃ from GDATP21. For example, when the line selection pattern of R₂ shown

in drawing 9(c) is being used. When the PWM ingredient of line L₀ is outputted to each MLAC120C₀ - 120C₃ from GDATP21, RSEL15, "1" which is an ingredient corresponding to line L₀ in the line selection pattern of R₂ is outputted, When the PWM ingredient of line L₁ is outputted to each MLAC120C₀ - 120C₃ from GDATP21, "0" which is an ingredient corresponding to line L₁ in the line selection pattern of R₂ is outputted. Similarly, when the PWM ingredient of line L₂ and L₃ is outputted to each MLAC120C₀ - 120C₃ from GDATP21, the ingredient corresponding to line L₂ in the line selection pattern of R₂ and L₃ is outputted.

[0084]Each MLAC120C₀ - 120C₃ perform an MLA operation about the PWM ingredient outputted from GDATP21, and the ingredient of a line selection pattern, and output the result of an operation to CNT13. For example, each MLAC120C₀ - 120C₃ input the PWM ingredient of GDATP21 to line L₀. In that case, the ingredient of line L₀ in a line selection pattern is outputted from RSEL15. Each MLAC120C₀ - 120C₃ compute the exclusive OR of the PWM ingredient of line L₀, and the ingredient of line L₀ in a line selection pattern, and memorize a computed result. Each MLAC120C₀ - 120C₃ input the PWM ingredient of GDATP21 to line L₁. In that case, the ingredient of line L₁ in a line selection pattern is outputted from RSEL15. Each MLAC120C₀ - 120C₃ compute the exclusive OR of the PWM ingredient of line L₁, and the ingredient of line L₁ in a line selection pattern, and memorize a computed result. Similarly, each MLAC120C₀ - 120C₃ input the PWM ingredient of line L₂ from GDATP21, and L₃. In that case, the ingredient of line L₂ in a line selection pattern and L₃ is outputted from RSEL15. Each MLAC120C₀ - 120C₃ compute the exclusive OR of the PWM ingredient of line L₂ and L₃, and the ingredient of line L₂ in a line selection pattern, and L₃, and memorize a computed result. Each MLAC120C₀ - 120C₃ will add each memorized value, if a cycle value is set to "7." And an added result is outputted to CNT13 as the MLA result of an operation (value which shows the level of column voltage).

[0085]Supposing a line selection pattern is R₂ of the selection row sequences shown in (c) of drawing 9, MLAC120C₀ outputs "1" as the MLA result of an operation as a value which shows the level of column voltage, MLAC120C₁ outputs "3", MLAC120C₂ outputs "1" and an output and MLAC120C₃ output "2" (refer to drawing 9(b)).

[0086]If a cycle value is set to "7", CNT13 will calculate each number of "0" - "4" outputted from each MLAC120C₀ - 120C₃, and will output a counting result to CMP14, but. According to this embodiment, the value from MLAC120C₀ and MLAC120C₃ is calculated as it is, it considers that it was outputted twice by the value from MLAC120C₁, and it is calculated, it considers that it was outputted 4 times by the value from MLAC120C₂, and it is calculated. Therefore, in this example, an output value is updated so that the signal which shows two pieces about 0 and "3", shows one piece about "2", and shows ["1"] five pieces about "4" may be outputted to CMP14.

[0087]CMP14 will output the smallest value among the values which show the level of column voltage, if a cycle value is set to "0." In this case, "1" is outputted. If a cycle value is set to "1", the smallest value will be outputted among the values which show the level of column voltage at the time. An outputted value already is excepted from the decision object of the smallest value. Similarly, CMP14 will output the smallest value among the values which show the level of column voltage at each time, if a cycle value is set to "2", "3", "4", "5", "6", and "7."

[0088]Although CMP14 will rearrange into an ascending order the value which shows the column voltage after an MLA operation and will output it in this embodiment, the same effect can be acquired even if it rearranges into a descending order. It may constitute so that the state of outputting to the state of outputting to an ascending order, and a descending order, for every

selection period may be made reverse.

[0089](Embodiment 3) According to the above-mentioned embodiment, although the numbers of voltage levels of column voltage were five levels, there is the method of making it into the dummy line on which a part of line by which considers it as the method of carrying out reduction of the number of voltage levels of column voltage in MLA method, and simultaneous selection is made is not actually displayed (when a simultaneous selection line number is 4).

[0090]The example which applied the PWM method which used weighting for the MLA method which provided the dummy line hereafter is explained using drawing 12. Here, a simultaneous selection line number is set to 3, one dummy line is set up, and the case where divide one selection period of MLA during [eight] the division of $T_0 - T_7$, and the PWM method is realized is made into an example. The explanatory view showing the example of the PWM ingredient in each division period T_0 corresponding to the explanatory view in which (a) shows the example of the indicative data for one row, and the indicative data which shows (b) to (a) - T_7 , and the MLA result of an operation in drawing 12, The explanatory view showing the example of the selection row sequence in which (c) contains a dummy line, and (d) are the explanatory views showing **** for the example of the PWM ingredient at the time of using 4, 2 and 1 as weighting (Wt.) by the usual binary number, and 1 as additional weighting. In drawing 12 (d), the length of the PWM period (0) by which weighting was carried out is equivalent to the length for one division period at the time of dividing one selection period (T) into division into equal parts at eight PWM periods (division period $T_0 - T_7$). The length of the PWM period (1) by which weighting was carried out is equivalent to the length for two division periods, the length of the PWM period (2) by which weighting was carried out is equivalent to the length for four division periods, and the length of the PWM period (3) by which weighting was carried out is equivalent to the length for one division period.

[0091](0) In each PWM period of - (3) by which weighting was carried out, the data of the virtual line for using the number of voltage levels of column voltage as two levels is determined. Using the orthogonal matrix shown in drawing 12 (c), when R_2 is a line selection pattern, virtual data (dummy data) is set to "0" in PWM period (0) and (1) by which weighting was carried out. Virtual data is set to "1" in the PWM period of the PWM period (2) by which weighting was carried out, and (3).

[0092]And if an MLA operation is performed, in the result of an operation, only two kinds, "1" and "3", will appear. Thus, when a dummy line is provided, the number of voltage levels of column voltage can be reduced, and when a simultaneous selection line number is set to 3 and the dummy line of one line is provided, the number of voltage levels of column voltage can be used as two levels.

[0093]Drawing 13 is a block diagram showing the example of composition of Embodiment 3. In the composition shown in drawing 13, GDATP21 generates the PWM ingredient of each PWM period (0) - (3) by which weighting was carried out from the indicative data in MLAD105. MLAC120C₀, 120C₁, 120C₂, and 120C₃, Each PWM period (0) by which weighting was carried out It is provided corresponding to - (3) and, respectively, Each PWM period (0) which is outputted from GDATP21 and by which weighting was carried out An MLA operation is performed from what added the virtual data for reducing the number of voltage levels of column voltage to the PWM ingredient of - (3), and the ingredient of the line selection pattern outputted from RSELR15. It may constitute, as virtual data is already contained in the PWM ingredient outputted from GDATP21.

[0094]MLAC120C₀ - 120C₃ add the exclusive OR of each PWM ingredient (virtual data is

included) and the ingredient of the selection row sequence containing a dummy line, respectively, and output an added result. In this case, the result of the MLA operation by $MLAC120C_0 - 120C_3$ can be made into either "1" or "3" by setting up virtual data suitably. And $MLAC120C_0 - 120C_3$ output "0", when the result of an MLA operation is "1", and when the result of an MLA operation is "3", they output "1".

[0095]When the result of an MLA operation is "1", $-V_c$ is used as column voltage, and when the result of an MLA operation is "3", $+V_c$ is used as column voltage. Therefore, "0" which $MLAC120C_0 - 120C_3$ output corresponds to $-V_c$, and "1" which $MLAC120C_0 - 120C_3$ output corresponds to $+V_c$.

[0096]ADD131 which is a circuit which adds adds the number (either of the nine values of 0-8) of "1" ** outputted from each $MLAC120C_0 - 120C_3$, and outputs an aggregate value to CMP14. CMP14 outputs data according to the cycle signal outputted from CYCT16 according to the aggregate value outputted from ADD131.

[0097]Corresponding to each sequence of the bit map memory 31, MLAD105 is connected like the case of Embodiment 1 shown in drawing 2, respectively. At this embodiment, each calculating means is realized by each $MLAC120C_0$ provided corresponding to each PWM period by which weighting was carried out - $120C_3$, The counting means which calculates the occurrences of the operation value (either [This example] 0-1) outputted from each calculating means is realized by ADD131, and the column voltage value output means is realized by CMP14 and CYCT16.

[0098]Next, operation of MLAD105 shown in drawing 13 is explained with reference to the explanatory view of drawing 12, and the timing diagram of drawing 14. The PWM ingredient to which a cycle value and 13B are outputted for 13A from GDATP21 in drawing 14, The line selection pattern in which 13C is outputted from RSEL15, and 13D show the output of $MLAC120C_0 - 120C_3$, 13E shows the output (renewal of an output) of ADD131, and 13F shows the output of CMP14. As shown in drawing 14, when a cycle value is set to "4", from the bit map memory 31. The indicative data of line L_0 is outputted to GDATP21 in MLAD105, if a cycle value is set to "5", the indicative data of line L_1 will be outputted, and if a cycle value is set to "6", the indicative data of line L_2 will be outputted.

[0099]Whenever GDATP21 inputs the indicative data of line L_n (n is 0-2 at this example), it generates the PWM ingredient of each PWM period (0) - (3) corresponding to the inputted indicative data by which weighting was carried out. And each element of an PWM ingredient is outputted to corresponding $MLAC120C_0 - 120C_3$. Supposing it seems that an indicative data shows (a) of drawing 12, the PWM ingredient of the PWM period (0) which is shown in (d) of drawing 12 and by which weighting was carried out will be outputted to $MLAC120C_0$, The PWM ingredient of the PWM period (1) by which weighting was carried out is outputted to $MLAC120C_1$, the PWM ingredient of the PWM period (2) by which weighting was carried out is outputted to $MLAC120C_2$, and the PWM ingredient of the PWM period (3) by which weighting was carried out is outputted to $MLAC120C_3$.

[0100]And RSEL15 is outputting the ingredient in the line selection pattern corresponding to the selection period at the time, when the PWM ingredient of line L_n is outputted to each $MLAC120C_0 - 120C_3$ from GDATP21. For example, when the line selection pattern of R_2 shown in drawing 12 (c) is being used. When the PWM ingredient of line L_0 is outputted to each $MLAC120C_0 - 120C_3$ from GDATP21, RSEL15, "1" which is an ingredient corresponding to line L_0 in the line selection pattern of R_2 is outputted, When the PWM ingredient of line L_1 is outputted to each $MLAC120C_0 - 120C_3$ from GDATP21, "0" which is an ingredient

corresponding to line L₁ in the line selection pattern of R₂ is outputted. Similarly, when the PWM ingredient of line L₂ is outputted to each MLAC120C₀ - 120C₃ from GDATP21, the ingredient corresponding to line L₂ in the line selection pattern of R₂ is outputted.

[0101]Each MLAC120C₀ - 120C₃ perform an MLA operation about the PWM ingredient outputted from GDATP21, and the ingredient of a line selection pattern, and output the result of an operation to ADD131. For example, each MLAC120C₀ - 120C₃ input the PWM ingredient of GDATP21 to line L₀. In that case, the ingredient of line L₀ in a line selection pattern is outputted from RSEL15. Each MLAC120C₀ - 120C₃ compute the exclusive OR of the PWM ingredient of line L₀, and the ingredient of line L₀ in a line selection pattern, and memorize a computed result.

[0102]Each MLAC120C₀ - 120C₃ input the PWM ingredient of GDATP21 to line L₁. In that case, the ingredient of line L₁ in a line selection pattern is outputted from RSEL15. Each MLAC120C₀ - 120C₃ compute the exclusive OR of the PWM ingredient of line L₁, and the ingredient of line L₁ in a line selection pattern, and memorize a computed result. Similarly, each MLAC120C₀ - 120C₃ input the PWM ingredient of GDATP21 to line L₂. In that case, the ingredient of line L₂ in a line selection pattern is outputted from RSEL15. Each MLAC120C₀ - 120C₃ compute the exclusive OR of the PWM ingredient of line L₂, and the ingredient of line L₂ in a line selection pattern, and memorize a computed result.

[0103]The exclusive OR of the ingredient of a dummy line and virtual data is computed, and it constitutes so that processing adding each computed result remembered to be the computed result may be performed and the final MLA result of an operation may be obtained. However, what is necessary is just to set the MLA result of an operation to "3", if the sum of each computed result which sets the MLA result of an operation to "1", and is memorized if the sum of each computed result memorized is "0" or "1" is "2" or "3" in order to make the MLA result of an operation into two kinds, "1" or "3." Virtual data will be decided to become so if it puts in another way.

[0104]Therefore, each MLAC120C₀ - 120C₃ will add each computed result memorized, if a cycle value is set to "7", without computing the exclusive OR of the ingredient of a dummy line, and virtual data. If the added result is "0" or "1" (the high order bit at the time of a double figures binary table being shown is "0"), "0" which shows "1" as the MLA result of an operation (value which shows the level of column voltage) will be outputted to ADD131. If ***** is "2" or "3" (the high order bit at the time of a double figures binary table being shown is "1"), "1" which shows "3" as the MLA result of an operation will be outputted to ADD131.

[0105]Supposing a line selection pattern is R₂ of the selection row sequences shown in (c) of drawing 12, The MLA result of an operation of MLAC120C₀ is "1", and the MLA result of an operation of MLAC120C₁ is "3", The MLA result of an operation of MLAC120C₂ is "1", and the MLA result of an operation of MLAC120C₃ is "1" (refer to drawing 12 (d)). Therefore, MLAC120C₀ outputs "0", MLAC120C₁ outputs "1", MLAC120C₂ outputs "0", and MLAC120C₃ outputs "0."

[0106]Thus, an orthogonal matrix contains the line corresponding to the dummy line which is not actually displayed. And the calculating means is calculating by including the virtual data set up reduce the number of the voltage levels impressed to a column electrode at one selection period (kind) in the data according to gradation.

[0107]If a cycle value is set to "7", ADD131 will update an output value so that the signal which adds the number of "1" outputted from each MLAC120C₀ - 120C₃, and shows an aggregate value may be outputted to CMP14. However, in this embodiment, the value from MLAC120C₀ and

$120C_3$ is calculated as it is, it considers that it was outputted twice by the value from $MLAC120C_1$, and it is calculated, it considers that it was outputted 4 times by the value from $MLAC120C_2$, and it is calculated. Therefore, in this example, "2" is calculated as an aggregate value.

[0108]moreover -- this embodiment -- CMP14 -- [(PWM number of partitions (the number of division period $T_0 - T_7$.)) the value (cycle value) which an 8-aggregate value]> cycle signal shows by this example -- it comes out and, in a certain case, "0" (it corresponds to $-V_c$) is outputted, and in being other, it outputs "1" (it corresponds to $+V_c$).

[0109]Since an aggregate value is "2" in this example, CMP14 outputs "0" in PWM period $T_0 - T_5$, and outputs "1" in PWM period $T_6 - T_7$. Therefore, the change point of the column voltage in one selection period is 1 time. Thus, a simultaneous selection line number is 3, and when the virtual line of one line is set up, according to this invention, the number of times which the change point of column voltage produces is reduced by at most 1 time.

[0110]CMP14 may output the value which shows the level of column voltage to a descending order. CMP14 [in that case,] -- an aggregate value > cycle value -- it comes out and, in a certain case, "1" (it corresponds to $+V_c$) is outputted, and in being other, it outputs "0" (it corresponds to $-V_c$). Since an aggregate value is "2" in this example, CMP14 outputs "1" in PWM period T_0 and T_1 , and outputs "0" in PWM period $T_2 - T_7$.

[0111]Although the value of either of the nine values of 0-8 is outputted as an aggregate value in this embodiment about "1" corresponding to [of the column voltage ($-V_c$, $+V_c$) of two levels] ADD131 to CMP14 on the other hand ($+V_c$), The sum total of the number is eight according to PWM period $T_0 - T_7$. Therefore, even if it makes it ADD131 output the aggregate value about the column voltage of one level, the number about remaining one level understands CMP14. It may be made to output the number about the column voltage of each level.

[0112]According to this embodiment, like the case of Embodiments 1 and 2, although the number of MLAC(s) is reducible, the composition of ADD131 as a counting means is also simplified further. That is, when expressing an aggregate value with a binary number, the output of $MLAC120C_0$ of dignity "1 (2^0)" is set as the 0th bit. The output of $MLAC120C_1$ of dignity "2 (2^1)" is set as the 1st bit. The output of $MLAC120C_2$ of dignity "4 (2^2)" is set as the 2nd bit. What is necessary is just to add the output of $MLAC120C_3$, after setting up as mentioned above.

[0113]Weighting which weighting provided in $MLAC120C_0 - 120C_2$ corresponds to weighting by the usual binary number mentioned above, and is provided in $MLAC120C_3$ supports weighting of the addition mentioned above. Therefore, ADD131 does not need to perform summing processing about the output of MLAC corresponding to weighting by the usual binary number, and should perform summing processing only about the output of MLAC corresponding to additional weighting.

[0114]As explained above, according to this invention, the number of times which the change point of column voltage produces is reduced by rearranging into an ascending order the value which shows the column voltage after an MLA operation, and outputting it. The circuit structure of a drive circuit is reducible by attaching dignity to MLAC. If the value which shows the column voltage after an MLA operation is rearranged into an ascending order or a descending order, the number of times which the change point of column voltage produces is not only reduced, but it can make small the grade of the voltage change in each change point. Even when setting the number of partitions of one selection period as arbitrary numbers, weighting of MLAC can be set up appropriately.

[0115]According to the above-mentioned Embodiments 1-3, CMP14 performed control which reverses an PWM phase in time. It may be made to reverse an PWM phase spatially. Reversing an PWM phase spatially is reversing the phase of the column voltage impressed to an adjoining column electrode. For example, in the composition shown in drawing 2, while the drive circuit corresponding to the column electrode of an odd number sequence is outputting the value which shows the level of column voltage to the ascending order, it controls so that the drive circuit corresponding to the column electrode of an even number sequence outputs the value which shows the level of column voltage to a descending order. If column voltage changes in the direction (the direction which rises, or the direction which falls) to all the column electrodes, a big spike noise will take a line electrode. As a result, in the change-of-potential timing of a column electrode, the voltage impressed to a pixel becomes blunt, the loss of the voltage effective value impressed to a pixel becomes large, and a cross talk becomes large. However, when an PWM phase is reversed spatially, the voltage change direction of column voltage can be prevented from gathering spatially. As a result, the spike noise produced in a line electrode can be reduced considerably.

[0116]Although the drive circuit was provided corresponding to each column electrode, one arithmetic circuit is provided, the value which shows the column voltage corresponding to each of all the column electrodes of a liquid crystal display is calculated in the arithmetic circuit, and it may be made to output in the above-mentioned Embodiments 1-3. Or a number smaller than the number of column electrodes of two or more arithmetic circuits may be provided. For example, the arithmetic circuit of $1/n$ (n is two or more integers) of the number of column electrodes is provided, and each arithmetic circuit may be made to perform the operation corresponding to the column electrode of n book.

[0117]In the above-mentioned Embodiments 1-3, although 7 or 8 was illustrated as the number of partitions of a selection period, the number of partitions may be which [three or more] value. Although the number of partitions may be 2, when it is 2, the processing which rearranges into an ascending order or a descending order the value according to the column voltage obtained from the data in a weighting period and the ingredient of an orthogonal matrix is not needed. There are no restrictions in the frame frequency used in the range which can secure practical display quality when MLA is used as a driving method. If the number of partitions to about [which may actually be used] 64 is taken into consideration, it is usable in the frame frequency of about 30-200 Hz.

[0118]That the alignment of the pulse of the ascending order of this invention or a descending order is always materialized, without being based on the number of simultaneous selections and the number of partitions of a selection period is only completeness or a case where it divides into division into equal parts (the difference of the shortest division period and the longest division period is 10% or less) nearly thoroughly, about a selection period. However, in the viewpoint of displaying story tonality at worst, if it is "a division period of the peace > longest of the shorter one to two division periods", even if it divides a selection period into un-dividing equally, the alignment of a pulse will be materialized. The alignment of a pulse is rearranging the MLA result of an operation, as the pulse which forms column voltage is outputted to an ascending order or a descending order.

[0119]The display of story tonality stops materializing as it is "a division period of the peace <= longest of the shorter one to two division periods." For example, the case of trichotomy (0.3:0.4:1, a total of 1.7) is raised. If a selection period is treated as equal segmentation divided into division into equal parts, a data-processing top, The place which should be 1/3 gradation is

displayed as 0.3/1.7, 0.4/1.7, or 1/1.7 gradation, and the place which should be 2/3 gradation is displayed as 0.7/1.7, 1.3/1.7, or 1.4/1.7 gradation. The inversion of gradation arises and it stops then, materializing as a gradation display.

[0120]By however, the case where the number of the MLA results of an operation in case there is [a virtual line] the number of simultaneous selections in 3 is two (+V_c and -V_c). By trichotomy (for example, 3:1:1, a total of 5), when the length of two division periods is equal, a change point can be set to one by rearrangement of the MLA result of an operation, and a gradation display is materialized.

[0121]

[Effect of the Invention]As stated above, according to this invention, there is an effect which can control increase of the consumed electric current and increase of a cross talk, and can control increase of the circuit structure of a drive circuit further.

[0122]Since weighting of the n-th power (n is 0 or a positive integer) of 2 is attached when the number of division periods is (involution-1 of 2), increase of the circuit structure of a drive circuit can be controlled effectively.

[0123]Two or more weighting periods which attached weighting of the n-th power (n is 0 or a positive integer) of 2, By setting up the weighting period which attached weighting of the m-th power (m is not larger than n 0 or a positive integer) of 2 about the part which lengthened the sum of weighting to two or more weighting periods from the number of division periods, Even if the number of division periods is not (involution-1 of 2), the drive method and drive circuit which control increase of the consumed electric current and increase of a cross talk, and control increase of the circuit structure of a drive circuit are realizable.

[0124]It can avoid reducing display quality by dividing one selection period into division into equal parts, and considering it as a division period.

[0125]By calculating by including the virtual data set up reduce the number of the voltage levels impressed to a column electrode at one selection period including the line corresponding to the dummy line which is not actually displayed on an orthogonal matrix in the data according to gradation, The drive method and drive circuit which control increase of the circuit structure of a drive circuit are realizable, carrying out reduction of the number of voltage levels of column voltage.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The block diagram showing the example of composition of the drive circuit of a liquid crystal display.

[Drawing 2]The block diagram showing the example of connection of a bit map memory and a drive circuit.

[Drawing 3]The explanatory view showing an example of this invention which applied the PWM method for the ability to perform 8 gradation displays to MLA method.

[Drawing 4]The block diagram showing an example of the comparative example of a drive circuit.

[Drawing 5]The explanatory view for explaining weighting made by MLAC.

[Drawing 6]The timing diagram showing operation of the drive circuit of Embodiment 1.

[Drawing 7]The explanatory view showing the driving waveform in the drive circuit of Embodiment 1, etc.

[Drawing 8]The explanatory view showing the example of weighting.

[Drawing 9]The explanatory view showing examples, such as an PWM ingredient in the case of the number of partitions N= 8.

[Drawing 10]The block diagram which the drive circuit of Embodiment 2 shows.

[Drawing 11]The timing diagram showing operation of the drive circuit of Embodiment 2.

[Drawing 12]The explanatory view showing the example which applied the PWM method to the MLA method of Embodiment 3.

[Drawing 13]The block diagram which the drive circuit of Embodiment 3 shows.

[Drawing 14]The timing diagram showing operation of the drive circuit of Embodiment 3.

[Drawing 15]The explanatory view showing the conventional example which applied the PWM method to MLA method.

[Drawing 16]The explanatory view showing the example of the general PWM method.

[Drawing 17]The explanatory view showing the conventional example which applied the PWM method to the MLA method at the time of providing a virtual line.

[Drawing 18]The explanatory view for explaining the driving method conventionally.

[Description of Notations]

102C,104,105 MLAC

102C₁ - 102C_nMLAD

11 GDATP

120C₀ - 120C₆MLAC

13 CNT

131 ADD

14 CMP

15 RSELR

16 CYCT

31 Bit map memory

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-157062

(P2003-157062A)

(43)公開日 平成15年5月30日 (2003.5.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 5 8
			6 1 1 D 5 C 0 8 0
	6 1 2		6 1 2 U

審査請求 未請求 請求項の数 6 O.L (全 21 頁) 最終頁に統く

(21)出願番号 特願2002-221893(P2002-221893)

(71)出願人 000103747

オプトレックス株式会社

東京都荒川区東日暮里五丁目7番18号

(22)出願日 平成14年7月30日 (2002.7.30)

(71)出願人 000000044

(31)優先権主張番号 特願2001-248337(P2001-248337)

旭硝子株式会社

(32)優先日 平成13年8月17日 (2001.8.17)

東京都千代田区有楽町一丁目12番1号

(33)優先権主張国 日本 (J P)

(72)発明者 一色 貞誠

神奈川県横浜市神奈川区羽沢町1150番地
旭硝子株式会社内

(74)代理人 100103090

弁理士 岩壁 冬樹

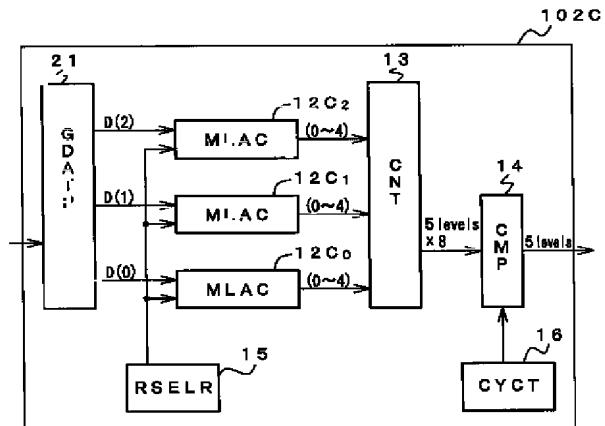
最終頁に統く

(54)【発明の名称】 液晶表示装置の駆動方法および駆動回路

(57)【要約】

【課題】 M L A法に対して PWM法を適用した場合に、消費電流の増大とクロストークの増大を抑制し、さらに駆動回路の回路規模の増大を抑制する。

【解決手段】 M L A C $12C_0 \sim 12C_2$ は、重み付けされたPWM期間に対応して設けられ、それぞれ、G DATA P 1 1から出力される各PWM期間(0)～(2)のPWM成分と、R S E L R 1 5から出力される行選択パターンとについてMLA演算を行う。C N T 1 3は、各MLACから出力される値のそれぞれの個数を計数し計数結果をC M P 1 4に出力する。C M P 1 4は、計数結果およびサイクル信号に従って、MLA演算結果を昇順または降順に出力する。



【特許請求の範囲】

【請求項1】複数の行電極と複数の列電極を有する液晶表示装置の行電極を複数本一括して選択し、選択した各行電極に選択期間毎に直交行列の成分にもとづく所定の電圧を印加するとともに、表示データと前記直交行列の成分とから得られる値に応じた列電圧を各列電極に印加する液晶表示装置の駆動方法において、1選択期間をそれぞれに重み付けが付けられた複数の重み付け期間に分割し、表示データの階調に応じたデータをそれぞれの前記重み付け期間に対応して生成し、それぞれの前記重み付け期間におけるデータと直交行列の成分とから得られる列電圧に応じた値を昇順または降順に並べ替えて出力することを特徴とする液晶表示装置の駆動方法。

【請求項2】それぞれの重み付け期間に、1選択期間を階調数に応じて分割した場合の分割期間の数が（2の累乗－1）であるときには、それぞれの重み付け期間に対する重み付けの和が分割期間の数に相当するように、2のn乗（nは0または正の整数）の重み付けを付ける請求項1に記載の液晶表示装置の駆動方法。

【請求項3】1選択期間を階調数に応じて分割した場合の分割期間の数が（2の累乗－1）でない場合には、2のn乗（nは0または正の整数）の重み付けを付けた複数の重み付け期間と、分割期間の数から前記複数の重み付け期間に対する重み付けの和を引いた分について2のm乗（mはnより大きくなない0または正の整数）の重み付けを付けた重み付け期間とを設定する請求項1に記載の液晶表示装置の駆動方法。

【請求項4】1選択期間を等分に分割して、それぞれの分割期間とする請求項2または請求項3に記載の液晶表示装置の駆動方法。

【請求項5】複数の行電極と複数の列電極を有する液晶表示装置の行電極を複数本一括して選択し、選択した各行電極に選択期間毎に直交行列の成分にもとづく所定の電圧を印加するとともに、表示データと前記直交行列の成分とから得られる値に応じた列電圧を各列電極に印加する液晶表示装置の駆動回路において、それぞれに重み付けが付けられた1選択期間における複数の重み付け期間のそれに対応して設けられ、対応する重み付け期間における表示データの階調に応じたデータと直交行列の成分とから列電圧に応じた値を演算する演算手段と、前記演算手段の演算値の発生数を計数する計数手段と、前記計数手段の計数結果にもとづいて、列電圧に応じた値を昇順または降順に並べ替えて出力する列電圧値出力手段とを備えたことを特徴とする液晶表示装置の駆動回路。

【請求項6】直交行列は実際に表示しないダミーラインに対応した行を含み、演算手段は、1選択期間に列電極に印加する電圧レベルの数を減らすように設定された仮想データを階調に応じたデータに含めて演算を行う請求項5に記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数ライン同時選択法によって液晶表示装置を駆動する駆動方法およびその駆動方法を用いた駆動回路に関する。特に、消費電流の増大とクロストークの増大を抑制できる液晶表示装置の駆動方法および駆動回路に関する。

【0002】

【従来の技術】液晶表示装置は、軽量・小型という特性を生かして、携帯電話機や携帯情報端末等の携帯端末に広く適用されている。液晶表示装置には、主として、パッシブ駆動されるSTN液晶素子を使用したものと、TFTを備えたアクティブマトリックス液晶素子を使用したものとがあるが、STN液晶素子は、アクティブマトリックス液晶素子に比べて、製造工程が短く、簡単な素子構造を持ち、低コストで生産できるという利点がある。

【0003】携帯端末においても、カラー表示や簡単な動画表示を行うことが望まれている。そのため、高速応答することと階調表示ができる液晶表示装置が要求される。

【0004】アクティブマトリックス液晶素子では、比較的高速な応答特性が得られる。一方、STN液晶素子では、駆動方式として、APT (Alto Pleshko Technique) やIAPT (Improved APT)などの線順次駆動法が用いられるのが一般的である。線順次駆動法は、オノレベル／オフレベルを簡単に発生できるためマルチブレクス駆動として有効であるが、STN液晶素子を高速応答させるには限界がある。

【0005】STN液晶素子をより高速に駆動するための駆動方法として、複数ライン同時選択法（マルチラインアドレッシング法：MLA法）がある。MLA法は、複数の走査電極（行電極）を一括して選択して駆動する方法である。MLA法では、データ電極（列電極）に供給される列表示パターンを独立に制御するために、同時に駆動される各行電極には、所定の電圧パルス列が印加される。

【0006】各行電極に印加される電圧パルス電圧群（選択パルス群）は、L行K列の行列で表すことができる。以下この行列を選択行列という。Lは同時選択数である。電圧パルス電圧群は、互いに直交するベクトル群として表される。従って、それらのベクトルを要素として含む行列は直交行列となる。各行列内の各行ベクトルは互いに直交している。

【0007】直交行列において、各行は液晶表示装置の各ラインに対応する。例えば、L本の選択ライン中の第1番目のラインに対して、選択行列の第1行目の要素が適用される。すなわち1列目の要素、2列目の要素の順に選択パルスが、第1番目の行電極に印加される。

【0008】図15は、列電極に印加される電圧波形の

シーケンスの決め方を示す説明図である。図15において、(a)は選択行列および表示データの例、(b)は列表示パターンと電圧パターンの例、(c)は列電極i, jの電圧波形例を示す。ここでは、図15(a)に示すように、画素として4行2列、選択行列として4行4列の直交行列を例にとる。図15(a)に示す選択行列において、「1」は正の選択パルス、「0」は負の選択パルスを意味する。

【0009】列電極i, jにおいて表示されるべき表示データが図15(a)の右側に示すようになっているとする。図15(a)において、白丸は点灯であること、黒丸は消灯であることを示す。すると、列表示パターンは、図15(b)に示すようなベクトル(d)で表される。図15(b)に示すベクトル(d)では、「1」はオン表示に対応し、「0」はオフ表示に対応する。

【0010】列電極i, jに順次印加されるべき電圧レベルは、図15(b)に示すベクトル(v)のようになる。このベクトルは、列表示パターンとそれに対応する行選択パターン(選択行列における列)とについてビットごとに排他的論理和をとり、それらの結果の和をとったものに対応する。図15(c)は、図15(b)に示したベクトル(v)に対応した列電極i, jの電圧波形を示すタイミング図である。図15(c)において、縦軸は列電極に印加される電圧(列電圧)を示し、横軸は時間を示している。ここで、「0」は-2V_c、「1」は-V_c、「2」は0、「3」は+V_c、「4」は+2V_cに対応している。

【0011】このような駆動方法によると、液晶のフレーム応答を抑制し、その結果、高速応答と高コントラストとを同時に達成できる。すなわち、単純マトリックス表示装置において従来駆動表示では困難とされていた高品位の画像提供が可能になる。

【0012】MLA法によって液晶表示装置を駆動する場合、列表示パターンおよび行選択パターンにおけるオンオフ表示および選択パターンを「1」と「0」と表示すると、列電極に印加される電圧パターンは、列表示パターンとそれに対応する行選択パターンとについてビットごとに排他的論理和をとり、それらの結果の和をとったものに対応する。

【0013】従って、列電圧のレベル数は、同時選択されるライン数がLのときL+1となる。例えば、選択行列として図15(a)に示す4行4列の直交行列を用いた場合には、同時選択ライン数は4なので印加電圧レベル数は5である。具体的には、図15(c)に示すように、(-2V_c, -V_c, 0, +V_c, +2V_c)の5種類のレベルが列電極i, jに印加されることになる。

【0014】アクティブマトリックス駆動法では、中間調表示を行うために、振幅変調を用いて中間電圧を比較的容易に発生することができる。しかし、パッシブ駆動法では、単純に振幅変調を行うと線順次駆動における非選

択時の電圧変動が生じて、非表示部分にオン表示またはオフ表示に応じた電圧とは異なる不正電圧が印加されてしまう。そこで、種々の中間電圧を発生させるための手法が用いられている。

【0015】以下、MLA法に対してパルス幅変調方式による階調方法(以下、PWM法という。)を適用した場合の駆動方法について説明する。まず、一般的なPWM法の例を図16に示す。図16において「1」はオン表示、「0」はオフ表示に対応する。

【0016】図16に示すように、例えば、選択期間(T)を5つ分割期間(T₀～T₄)に等分に分割する。階調レベル5/5はT₀～T₄の期間オン表示を行い、階調レベル0/5ではT₀～T₄の期間オフ表示を行う。そして、階調レベル1/5, 2/5, 3/5, 4/5ではオン表示とオフ表示の期間を混在させることによって中間レベルの階調を表示する。このように5分割した場合には6レベルの階調を表示できる。

【0017】次に、MLA法においてPWM法によって階調表示を行う方法について説明する。図17において、(a)は1列分の表示データの例、(b)は各分割期間T₀～T₄における列電極への印加電圧パターンの例、(c)は選択行列の例を示す。

【0018】図17(c)に示す選択行列の2列目(R₂)を行選択パターンとして使用している期間を考える。期間T₀では列表示パターン(1, 1, 1, 1)と行選択パターンとの各ビットの排他的論理和の和は「1」である。期間T₁では列表示パターン(1, 1, 0, 1)と行選択パターンとの各ビットの排他的論理和の和は「2」である。期間T₂では列表示パターン(1, 0, 0, 1)と行選択パターンとの各ビットの排他的論理和の和は「1」である。期間T₃では列表示パターン(1, 0, 0, 0)と行選択パターンとの各ビットの排他的論理和の和は「2」である。期間T₄では列表示パターン(0, 0, 0, 0)と行選択パターンとの各ビットの排他的論理和の和は「3」である。従って、列電極に順次印加されるべき電圧レベルは、(1, 2, 1, 2, 3)となる。図17(d)は列電極の電圧波形を示すタイミング図である。(d)において、縦軸は列電圧を示し、横軸は時間を示している。

【0019】

【発明が解決しようとする課題】図17(d)に示すように、MLA法に対してPWM法を適用した場合には、1選択期間における列電極の電圧波形において列電圧の変化点が多くなってしまう。このため、クロストークが大きくなるという課題がある。また、列電圧の変化点が多くなってしまうことから、消費電流が増大してしまうという課題もある。

【0020】そのような課題を解決するために、WO00/02185公報には、MLA法に対してPWM法を適用した場合に、1選択期間をそれぞれに重み付けが付

けられた複数の分割期間に分割し、表示データの階調に応じたデータをそれぞれの分割期間に対応して生成する液晶表示装置の駆動方法が開示されている。その駆動方法を従来駆動法とする。図18は、従来駆動法を8階調レベルの場合に適用したときに想定しうる電圧波形を説明するための説明図である。

【0021】図18において、(a)は階調レベル2／7(0～7の8階調レベルのうちの下から3番目の階調レベル)の4行3列の表示データ例、(b)は1選択期間中の各分割期間に割り当てられたデータの例、(c)は選択行列の例を示す。従来駆動法では、1選択期間を、階調レベルを2進数表現した場合のビット数n(この例ではn=3)の期間に分割する。そして、最初の分割期間に「1(2の0乗)」の重みを付ける。また、次の分割期間に「2(2の1乗)」の重みを付ける。さらに、その次の分割期間に「4(2の2乗)」の重みを付ける。そして、階調レベルに応じて、各分割期間にデータを割り当てる。この場合には、階調レベルは「2」であるから、「2(2の1乗)」の重みが付けられた分割期間に「1」が割り当てる。また、各分割期間における表示パターンと行選択パターンとの各ビットの排他的論理和の和に応じたレベルの電圧を列電極に印加する。

【0022】さらに、従来駆動例では、1選択期間毎に、重みが付けられた各分割期間の順序を逆にする。ある選択期間において、「1」の重みが付けられた分割期間、「2」の重みが付けられた分割期間、「4」の重みが付けられた分割期間の順に各分割期間が設定されると、次の選択期間では、「4」の重みが付けられた分割期間、「2」の重みが付けられた分割期間、「1」の重みが付けられた分割期間の順に各分割期間が設定される。

【0023】従来駆動例では、選択期間を重み付けされた複数の分割期間に分割することによって、および、重み付けされた各分割期間の順序を1選択期間毎に逆にすることによって、駆動波形における変化点数を減少させる。その結果、駆動波形における周波数成分のばらつきが減少する。

【0024】しかし、表示データが階調レベル2／7のデータである場合には、列電極に印加される電圧波形は図18(d)に示すようになる。すなわち、駆動波形における変化点数はさほど減少していない。つまり、階調レベルが2／7のような場合には、従来駆動法では、駆動波形における変化点数を減少させることができない。

【0025】そこで、本発明は、MLA法に対してPWM法を適用した場合に、消費電流の増大とクロストークの増大をより効果的に抑制でき、さらには駆動回路の回路規模の増大をより効果的に抑制できる液晶表示装置の駆動方法および駆動回路を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明の態様1の液晶表示装置の駆動方法は、1選択期間をそれぞれに重み付けが付けられた複数の重み付け期間に分割し、表示データの階調に応じたデータをそれぞれの重み付け期間に対応して生成し、それぞれの重み付け期間におけるデータと直交行列の成分とから得られる列電圧に応じた値を昇順または降順に並べ替えて出力することを特徴とする。なお、得られる列電圧に応じた各値が既に昇順または降順になっている場合には、既に並べ替えがなされていることになる。

【0027】態様2の液晶表示装置の駆動方法は、態様1の駆動方法において、それぞれの重み付け期間に、1選択期間を階調数に応じて分割した場合の分割期間の数が(2の累乗-1)であるときには、それぞれの重み付け期間に対する重み付けの和が分割期間の数に相当するように、2のn乗(nは0または正の整数)の重み付けを付けることを特徴とする。

【0028】態様3の液晶表示装置の駆動方法は、態様1の駆動方法において、1選択期間を階調数に応じて分割した場合の分割期間の数が(2の累乗-1)でない場合には、2のn乗(nは0または正の整数)の重み付けを付ける複数の重み付け期間と、それらの重み付け期間に対する重み付けの和を分割期間の数から引いた分について2のm乗(mはnより大きくない0または正の整数)の重み付けを付けた重み付け期間とを設定することを特徴とする。

【0029】態様4の液晶表示装置の駆動方法は、態様2または態様3の駆動方法において、1選択期間を等分に分割して、それぞれの分割期間とすることを特徴とする。

【0030】本発明の態様5の液晶表示装置の駆動回路は、それぞれに重み付けが付けられた1選択期間における複数の重み付け期間のそれぞれに対応して設けられ、対応する重み付け期間における表示データの階調に応じたデータと直交行列の成分とから列電圧に応じた値を演算する演算手段と、演算手段の演算値の発生数を計数する計数手段と、計数手段の計数結果にもとづいて列電圧に応じた値を昇順または降順に出力する列電圧値出力手段とを備えたことを特徴とする。このような構成によれば、列電圧に応じた値を昇順または降順に並べ替えて出力することによって消費電流の増大とクロストークの増大を抑制でき、さらには、1選択期間をそれぞれに重み付けが付けられた複数の重み付け期間を設けることによって、駆動回路の回路規模の増大を抑制できる。

【0031】態様6の液晶表示装置の駆動回路は、態様5の駆動回路において、直交行列が実際に表示しないダミーラインに対応した行を含み、演算手段が、1選択期間に列電極に印加する電圧レベルの数を減らすように設定された仮想データを階調に応じたデータに含めて演算

を行うことを特徴とする。直交行列がダミーラインに対応した行を含む場合には、列電圧の数（種類）を低減できるので消費電流の増大とクロストークの増大をさらに効果的に抑制できるとともに、駆動回路の回路規模の増大をさらに効果的に抑制できる。

【0032】

【発明の実施の形態】（実施の形態1）以下、この発明の実施の形態について説明する。図1は、この発明による液晶表示装置の駆動回路の実施の形態1の構成例を示すブロック図である。図1に示す構成は、同時選択数を4とし、MLAの1選択期間を7つの期間に等分に分割した上で、重みを付けた重み付け期間を設定してPWM法を実現する場合の構成例である。従って、図1に示す駆動回路を用いた場合には、8階調表示を行うことができる。

【0033】なお、1選択期間を分割する際に、分割された各期間は等分またはほぼ等分に分割された均等期間またはほぼ均等期間であることが好ましいが、場合によっては、非等分であってもよい。

【0034】図2は、表示データが格納されるビットマップメモリ31と駆動回路 $102C_1 \sim 102C_n$ の接続例を示すブロック図である。図2に示す例では、4ライン、 $C_1 \sim C_n$ のn列分の表示データを記憶できる例を示す。そして、ビットマップメモリ31の各列に対応した駆動回路である $MLAD\ 102C_1, \dots, 102C_n$ が接続されている。各 $MLAD\ 102C_1, \dots, 102C_n$ は、それぞれ、図1に示すように構成されている。

【0035】ここで、MLA法に8階調表示を行うことができるPWM法を適用した場合の各期間の階調データ（PWM成分）について説明する。図3は、8階調表示を行う場合の説明図である。図3において、（a）は1列分の表示データの例を示す説明図、（b）は1選択期間（T）が7つの期間に等分された場合の各期間 $T_0 \sim T_6$ における列電極への印加電圧パターンの例およびMLA演算結果を示す説明図、（c）は選択行列の例を示す説明図、（d）、（e）は列電極の電圧波形を示すタイミング図である。以下、各期間 $T_0 \sim T_6$ をPWM期間とも呼ぶ。

【0036】図4は、図3に示すPWM法を実現するための駆動回路の一例を示すブロック図であるが、図4に示す例は、図1に示す本発明による $MLAD\ 102C$ に対する比較例である。比較例としての $MLAD\ 103$ において、階調処理回路であるGDATP11は、表示データから各PWM期間 $T_0 \sim T_6$ の階調データ（PWM成分）を生成する。

【0037】また、MLA演算を行うハードウェア回路である $MLAC\ 120C_0, 120C_1, 120C_2, 120C_3, 120C_4, 120C_5, 120C_6$ は、各PWM期間 $T_0 \sim T_6$ に対応して設けられ、それぞ

れ、GDATP11から出力される各PWM期間 $T_0 \sim T_6$ のPWM成分と、選択行列保持を行うRSELRL15から出力される行選択パターンの成分とからMLA演算を行う。すなわち、 $MLAC\ 120C_0 \sim 120C_6$ は、それぞれ、各PWM成分と選択行列の成分との排他的論理和を算出して算出結果を加算するというMLA演算を行い、加算結果を出力する。従って、 $MLAC\ 120C_0 \sim 120C_6$ から「0」～「4」のいずれかが出力される。 $MLAC\ 120C_0 \sim 120C_6$ から出力される加算結果は、列電圧のレベルを示す値である。

【0038】計数を行う回路であるCNT13は、各 $MLAC\ 120C_0 \sim 120C_6$ から出力される「0」～「4」のそれぞれの個数を計数し計数結果（「0」～「4」のそれぞれの個数（0～7の8値のうちのいずれか））を比較を行う回路であるCMP14に出力する。CMP14は、CNT13から出力された計数結果を、CYCT16から出力されるサイクル信号に従って、列電圧を発生する列電圧発生回路（図示せず）に出力する。サイクル信号は、1選択期間における各PWM期間 $T_0 \sim T_6$ のうちどの期間にあるのかを示す信号であり、例えば、サイクル信号として0～6を示す信号が順に繰り返し出力される。

【0039】GDATP11は、ライン L_n （本例ではnは0～3）の表示データを入力する毎に、入力した表示データに対応した各PWM期間 $T_0 \sim T_6$ のPWM成分を生成する。そして、PWM成分の各要素を対応する $MLAC\ 120C_0 \sim 120C_6$ に出力する。表示データが図3の（a）に示すようあるとすると、図3の（b）に示すPWM期間 T_0 のPWM成分が $MLAC\ 120C_0$ に出力され、PWM期間 T_1 のPWM成分が $MLAC\ 120C_1$ に出力され、PWM期間 T_2 のPWM成分が $MLAC\ 120C_2$ に出力され、PWM期間 T_3 のPWM成分が $MLAC\ 120C_3$ に出力される。また、PWM期間 T_4 のPWM成分が $MLAC\ 120C_4$ に出力され、PWM期間 T_5 のPWM成分が $MLAC\ 120C_5$ に出力され、PWM期間 T_6 のPWM成分が $MLAC\ 120C_6$ に出力される。

【0040】そして、RSELRL15は、GDATP11から各 $MLAC\ 120C_0 \sim 120C_6$ にライン L_n のPWM成分が出力されるときに、その時点の選択期間に対応する行選択パターンにおける成分を出力している。例えば、図3（c）に示す R_2 の行選択パターンを使用している場合には、RSELRL15は、GDATP11から各 $MLAC\ 120C_0 \sim 120C_6$ にライン L_0 のPWM成分が出力されるときに、 R_2 の行選択パターンにおけるライン L_0 に対応した成分である「1」を出力し、GDATP11から各 $MLAC\ 120C_0 \sim 120C_6$ にライン L_1 のPWM成分が出力されるときに、 R_2 の行選択パターンにおけるライン L_1 に対応した成分である「0」を出力する。同様に、GDATP11

1から各MLAC₁20C₀～120C₆にラインL₂，L₃のPWM成分が出力されるとき、R₂の行選択パターンにおけるラインL₂，L₃に対応した成分を出力する。

【0041】各MLAC₁20C₀～120C₆は、GDATP11から出力されたPWM成分と行選択パターンの成分についてMLA演算を行い、演算結果をCNT13に出力する。例えば、各MLAC₁20C₀～120C₆は、GDATP11からラインL₀のPWM成分を入力する。その際には、RSELRL15から行選択パターンにおけるラインL₀の成分が出力されている。各MLAC₁20C₀～120C₆は、ラインL₀のPWM成分と行選択パターンにおけるラインL₀の成分との排他的論理和を算出し算出結果を記憶する。また、各MLAC₁20C₀～120C₆は、GDATP11からラインL₁のPWM成分を入力する。その際には、RSELRL15から行選択パターンにおけるラインL₁の成分が出力されている。各MLAC₁20C₀～120C₆は、ラインL₁のPWM成分と行選択パターンにおけるラインL₁の成分との排他的論理和を算出し算出結果を記憶する。同様に、各MLAC₁20C₀～120C₆は、GDATP11からラインL₂，L₃のPWM成分を入力する。その際には、RSELRL15から行選択パターンにおけるラインL₂，L₃の成分が出力されている。各MLAC₁20C₀～120C₆は、記憶された各値を加算する。そして、加算結果をMLA演算結果（列電圧のレベルを示す値）としてCNT13に出力する。

【0042】行選択パターンが図3の（c）に示す選択行列のうちのR₂であったとすると、MLAC₁20C₀は列電圧のレベルを示す値として「1」をMLA演算結果として出力し、MLAC₁20C₁は「2」を出力し、MLAC₁20C₂は「1」を出力し、MLAC₁20C₃は「1」を出力する。また、MLAC₁20C₄は「2」を出力し、MLAC₁20C₅は「1」を出力し、MLAC₁20C₆は「3」を出力する。

【0043】従って、CNT13は、「4」について0、「3」について1個、「2」について3個、「1」について3個、「0」について0を示す信号をCMP14に出力する。各MLAC₁20C₀～120C₆の演算結果をそのまま列電圧発生器に出力すると、図3（d）に示すような電圧が列電極に印加される。

【0044】しかし、図4に示す比較例におけるMLAD103では、CMP14が、サイクル信号が「0」を示すと、列電圧のレベルを示す値のうち最も小さい値を出力する。この場合には、「1」を出力する。また、サイクル信号が「1」を示すと、その時点で、列電圧のレ

ベルを示す値のうち最も小さい値を出力する。なお、既に出力済みの値は、最も小さい値の判断対象から除外される。同様に、サイクル信号が「2」，「3」，「4」，「5」，「6」を示すと、それぞれの時点で、列電圧のレベルを示す値のうち最も小さい値を出力する。従って、図3（e）に示すように、列電圧の変化点が生ずる回数が低減される。その結果、消費電流の増大とクロストークの増大が抑制される。

【0045】図4に示す比較例におけるMLAD103は消費電流の増大とクロストークの増大とを抑制できるが、回路規模が大きくなる。PWM期間T₀～T₆に応じた数だけMLAC₁20C₀～120C₆が設けられるので、1選択期間の分割数が多くなると、MLACの数は膨大な数になる。図4に示す比較例におけるMLAD103では、例えば、ラインL₀～L₃の表示データがそれぞれ1選択期間に一度だけメモリから読み出され、GDATP11が読み出された表示データにもとづいてPWM期間T₀～T₆に応じたPWM成分を生成して、各PWM成分を対応するMLAC₁20C₀～120C₆に与え、1選択期間分（PWM期間T₀～T₆分）のMLA演算を行っている。しかし、各PWM期間T₀～T₆毎にメモリから同一データを読み出し、各PWM期間T₀～T₆についてのMLA演算を時間的にシリアルに実行するようにすれば、1つだけMLACを設ければよいことになる。

【0046】しかし、そのような構成をとった場合には、メモリを頻繁にアクセスするので、消費電流が増大してしまう。すなわち、携帯端末に搭載する液晶表示装置に用いることが困難になる。

【0047】そこで、以下に説明するように、MLACに重み付けを行ってMLACの回路数を低減するようとする。図5は、MLA演算回路になされる重み付けを説明するための説明図である。図5において、（a）は上述した比較例のMLAD103が実行する駆動制御に対応した各PWM期間（分割期間）T₀～T₆を示す。また、（b）は、本実施の形態のMLAD102Cが実行する駆動制御に対応した各PWM期間（0）～（2）およびMLA演算結果を示す。ここで、重み付け期間であるPWM期間（0）～（2）の長さは均等ではなく、時間的に重み（Wt.）が付けられている。よって、PWM期間（0）～（2）を重み付けされたPWM期間（または重みが付けられた複数の重み付け期間）と呼ぶことにする。ここで、重み付け期間であるPWM期間（0）～（2）の長さは均等ではなく、時間的に重み（Wt.）が付けられている。よって、PWM期間（0）～（2）を重み付けされたPWM期間（または重みが付けられた複数の重み付け期間）と呼ぶことにする。具体的には、（b）に示す重み付けされたPWM期間（0）の長さは、1選択期間（T）を7等分期間（分割期間T₀～T₆）に分割した場合の分割期間1つ分の長さに相当

する。また、(b)に示す重み付けされたPWM期間(1)の長さは分割期間2つ分の長さに相当し、(b)に示す重み付けされたPWM期間(2)の長さは分割期間4つ分の長さに相当する。

【0048】図5(b)の記載からわかるように、PWM法によって8階調表示を行う場合には、1選択期間は3つのMLAC120C₀～120C₂で構成することができる。図1に示す本発明の実施の形態1のMLAD102CにおけるMLAC120C₀には「1(2の0乗)」の重み付けがなされ、MLAC120C₁には「2(2の1乗)」の重み付けがなされ、MLAC120C₂には「4(2の2乗)」の重み付けがなされている。すなわち、それぞれ、2の累乗の重みが付けられている。なお、MLAC120C₀～120C₂は重み付けされたPWM期間(0)～(2)に対応しているので、PWM期間(0)～(2)に重みが付けられているということは、MLAC120C₀～120C₂の重みが付けられていることでもある。

【0049】重み付けは、MLACが output した列電圧のレベルを示す値に応じた列電圧が outputされるPWM期間(重み付けがなされていない分割期間の方のPWM期間)に対応する。すなわち、「1」の重み付けがなされたMLAC120C₀から outputされる列電圧のレベルを示す値に応じた列電圧が1つのPWM期間において列電圧発生回路に出力され、「2」の重み付けがなされたMLAC120C₁から outputされる列電圧のレベルを示す値に応じた列電圧が2つのPWM期間において列電圧発生回路に出力され、「4」の重み付けがなされたMLAC120C₂から outputされる列電圧のレベルを示す値に応じた列電圧が4つのPWM期間において列電圧発生回路に出力される。

【0050】ここで、図1に示す本発明の実施の形態1のMLAD102Cの構成を説明する。図1に示すように、MLAD102Cにおいて、GDATP21は、表示データから重み付けされた各PWM期間(0)～(2)の階調データ(PWM成分)を生成する。図1において、重み付けされた各PWM期間(0)～(2)の階調データが、D(0), D(1), D(2)で示されている。ただし、本実施の形態では、図5(b)に示すように、メモリから入力した2進数で表されている表示データをそのまま出力することで、PWM成分が生成されていることになる。

【0051】また、MLAC120C₀, 120C₁, 120C₂は、重み付けされた各PWM期間(0)～(2)に対応して設けられ、それぞれ、GDATP21から outputされる重み付けされた各PWM期間(0)～(2)のPWM成分と、RSELRL15から outputされる行選択パターンの成分とからMLA演算を行う。すなわち、MLAC120C₀～120C₂は、それぞれ、各PWM成分と選択行列の成分との排他的論理和を算出し

て算出結果を加算し(MLA演算)、加算結果を出力する。従って、MLAC120C₀～120C₂から「0」～「4」のいずれかが outputされる。MLAC120C₀～120C₂から outputされる加算結果は、列電圧のレベルを示す値である。

【0052】さらに、CNT13は、各MLAC120C₀～120C₂から outputされる「0」～「4」のそれぞれの個数を計数し計数結果(「0」～「4」のそれぞれの個数(0～7の8値のうちのいずれか))をCMP14に出力する。CMP14は、CNT13から outputされた計数結果を、CYCT16から outputされるサイクル信号に従って、列電圧を発生する列電圧発生回路(図示せず)に出力する。サイクル信号は、1選択期間における各PWM期間T₀～T₆のうちどの期間にあるのかを示す信号であり、例えば、サイクル信号として0～6を示す信号が順に繰り返し outputされる。

【0053】なお、各演算手段は、重み付けされた各PWM期間に対応して設けられている各MLAC120C₀～120C₂で実現され、各演算手段から outputされる演算値(本例では0～4のいずれか)の発生数を計数する計数手段は、CNT13で実現され、列電圧値出力手段は、CMP14およびCYCT16で実現されている。また、この例では、GDATP21、MLAC120C₀～120C₂、CNT13、CMP14、RSELRL15およびCYCT16は、クロック信号に従って動作する。また、サイクル信号が示す値をサイクル値と呼ぶ。

【0054】また、本実施の形態では、CNT13からCMP14に、5レベルの列電圧(-2V_c, -V_c, 0, +V_c, +2V_c)に対応した「0」～「4」のそれぞれについて0～7の8値のうちのいずれかの値を個数として出力するが、任意の4レベルの列電圧についての個数を出力するようにしてもよい。個数の合計はPWM期間T₀～T₆に応じた7個であるから、CNT13が4レベルの列電圧についての個数を出力するようにしても、CMP14は、残り1つのレベルについての個数はわかる。

【0055】次に、図1に示すMLAD102Cの動作を、図3(a), (c)の説明図、図5(b)の説明図および図6のMLAD102Cの動作を示すタイミング図を参照して説明する。図6において、6Aはサイクル値、6BはGDATP11から outputされるPWM成分、6CはRSELRL15から outputされる行選択パターン、6DはMLAC120C₀～120C₂の出力、6EはCNT13の出力(出力更新)、6FはCMP14の出力を示す。図6に示すように、サイクル値が「2」になると、ビットマップメモリ31から、MLAD102CにおけるGDATP21に対してラインL₀の表示データが outputされ、サイクル値が「3」になるとラインL₁の表示データが outputされ、サイクル値が「4」になると

ライン L_2 の表示データが出力され、サイクル値が「5」になるとライン L_3 の表示データが出力される。【0056】また、GDATP21は、ライン L_n （本例では n は0～3）の表示データを入力する毎に、入力した表示データに対応した重み付けされた各PWM期間（0）～（2）のPWM成分を生成する。ただし、上述したように、実際には、GDATP21は、入力した2進数で表されている表示データをそのまま出力する。そして、PWM成分の各要素を対応するMLAC120C₀～120C₂に出力する。表示データが図3の（a）に示すようであるとすると、図3の（b）に示す重み付けされたPWM期間（0）のPWM成分がMLAC120C₀に出力され、重み付けされたPWM期間（1）のPWM成分がMLAC120C₁に出力され、重み付けされたPWM期間（2）のPWM成分がMLAC120C₂に出力される。

【0057】そして、RSELR15は、GDATP21から各MLAC120C₀～120C₂にライン L_n のPWM成分が出力されるときに、その時点の選択期間に対応する行選択パターンにおける成分を出力している。例えば、図3（c）に示すR₂の行選択パターンを使用している場合には、RSELR15は、GDATP21から各MLAC120C₀～120C₂にライン L_0 のPWM成分が出力されるときに、R₂の行選択パターンにおけるライン L_0 に対応した成分である「1」を出力し、GDATP21から各MLAC120C₀～120C₂にライン L_1 のPWM成分が出力されるときに、R₂の行選択パターンにおけるライン L_1 に対応した成分である「0」を出力する。同様に、GDATP21から各MLAC120C₀～120C₂にライン L_2 、 L_3 のPWM成分が出力されるときに、R₂の行選択パターンにおけるライン L_2 、 L_3 に対応した成分を出力する。

【0058】各MLAC120C₀～120C₂は、GDATP21から出力されたPWM成分と行選択パターンの成分とについてMLA演算を行い、演算結果をCNT13に出力する。例えば、各MLAC120C₀～120C₂は、GDATP21からライン L_0 のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるライン L_0 の成分が出力されている。各MLAC120C₀～120C₂は、ライン L_0 のPWM成分と行選択パターンにおけるライン L_0 の成分との排他的論理和を算出し算出結果を記憶する。また、各MLAC120C₀～120C₂は、GDATP21からライン L_1 のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるライン L_1 の成分が出力されている。各MLAC120C₀～120C₂は、ライン L_1 のPWM成分と行選択パターンにおけるライン L_1 の成分との排他的論理和を算出し算出結果を記憶する。同様に、各MLAC120C₀～120

C₂は、GDATP21からライン L_2 、 L_3 のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるライン L_2 、 L_3 の成分が出力されている。各MLAC120C₀～120C₂は、ライン L_2 、 L_3 のPWM成分と行選択パターンにおけるライン L_2 、 L_3 の成分との排他的論理和を算出し算出結果を記憶する。各MLAC120C₀～120C₂は、サイクル値が「6」になると、記憶された各値を加算する。そして、加算結果をMLA演算結果（列電圧のレベルを示す値）としてCNT13に出力する。

【0059】行選択パターンが図3の（c）に示す選択行列のうちのR₂であったとすると、MLAC120C₀は列電圧のレベルを示す値として「2」をMLA演算結果として出力し、MLAC120C₁は「3」を出力し、MLAC120C₂は「1」を出力する。

【0060】CNT13は、サイクル値が「6」になると、各MLAC120C₀～120C₂から出力される「0」～「4」のそれぞれの個数を計数し計数結果をCMP14に出力するのであるが、本実施の形態では、MLAC120C₀からの値をそのまま計数し、MLAC120C₁からの値を2回出力されたと見なして計数し、MLAC120C₂からの値を4回出力されたと見なして計数する。従って、本例では、「4」について0、「3」について2個、「2」について1個、「1」について4個を示す信号をCMP14に出力するように出力値を更新する。

【0061】CMP14は、サイクル値が「0」になると、列電圧のレベルを示す値のうち最も小さい値を出力する。この場合には、「1」を出力する。また、サイクル値が「1」になると、その時点で、列電圧のレベルを示す値のうち最も小さい値を出力する。なお、既に出力済みの値は、最も小さい値の判断対象から除外される。CMP14は、同様に、サイクル値が「1」、「2」、「3」、「4」、「5」、「6」になると、それぞれの時点で、列電圧のレベルを示す値のうち最も小さい値を出力する。

【0062】なお、列電圧のレベルを示す値のうち「0」は-2V_c、「1」は-V_c、「2」は0、「3」は+V_c、「4」は+2V_cに対応している。また、サイクル信号が「2」、「3」、「4」、「5」を示すときに、ビットマップメモリ31から再度、ライン L_0 のデータ～ライン L_3 のデータが出力される。

【0063】図4に示す比較例の駆動回路であるMLAD103と図1に示す駆動回路であるMLAD102Cとを比較すると、MLAD102Cでは、MLACの個数が削減されている。すなわち、回路規模が削減されている。このように、本実施の形態では、CMP14がMLA演算後の列電圧を示す値を昇順に並べ替えて出することによって列電圧の変化点が生ずる回数を低減するとともに、MLAD102Cの回路規模を削減できる。

【0064】さらに、MLA演算後の列電圧を示す値を昇順に並べ替えると、列電圧の変化点が生ずる回数が低減されるだけでなく、各変化点における電圧変化の程度を小さくすることができる。各変化点における電圧変化の程度が小さくなるので、コンデンサとして作用する液晶を充電するための電流量が小さくなつて、回路全体における消費電流が小さくなる。また、電圧変化の程度が小さくなることから、電圧変化点で行電極にのるスパイクノイズをいっそう小さくすることができ、その結果、クロストークが小さくなつて表示むらがさらに低減する。

【0065】なお、本実施の形態では、CMP14がMLA演算後の列電圧を示す値を昇順に、すなわち各値が小さい値から大きい値に順に並ぶように並べ替えたが、降順に、すなわち各値が大きい値から小さい値に順に並ぶように並べ替えても同様の効果を得ることができる。さらに、選択期間毎に、昇順に出力する状態と降順に出力する状態とを逆にすることによってもよい。

【0066】図7は、表示データが階調レベル2/7(0~7の8階調レベルのうちの下から3番目の階調レベル)の場合の本実施の形態の駆動方法を説明するための説明図である。図7において、(a)は階調レベル2/7の4行3列の表示データ例、(b)は1選択期間中の各分割期間に割り当てられたデータの例、(c)は選択行列の例を示す。図7(b)に示すように、1選択期間を、階調レベルを2進数表現した場合のビット数n(この例ではn=3)の期間に分割する。なお、図5(b)ではMLA演算結果が記載されていたが、図7(b)には、MLA演算の前の表示データが示されている。

【0067】そして、PWM期間(0)に「1(2の0乗)」の重みを付ける。また、PWM期間(1)に「2(2の1乗)」の重みを付ける。さらに、PWM期間(2)に「4(2の2乗)」の重みを付ける。また、階調レベルに応じて、各分割期間にデータを割り当てる。この場合には、階調レベルは「2」であるから、PWM期間(1)に「1」が割り当たる。そして、各PWM期間における列表示パターンと行選択パターンとの各ビットの排他的論理和の和に応じたレベルの電圧を列電極に印加する。

【0068】本実施の形態の駆動方法では、各重み付け期間におけるデータと選択行列の成分とから得られる列電圧に応じた値を昇順または降順に並べ替えて出力するので、表示データが階調レベル2/7のデータである場合には、列電極に印加される電圧波形は図7(d)に示すようになる。その電圧波形では、図18(d)に示す1選択期間内では並べ替えを行わない従来駆動法に比べて、駆動波形における変化点数が減少している。つまり、階調レベルが2/7のような場合でも、本実施の形態の駆動方法では、駆動波形における変化点数を減少さ

せることができる。なお、ここでは、1選択期間毎に、昇順に出力する状態と降順に出力する状態とが逆になっている。

【0069】本実施の形態では、選択期間を重み付けされた複数の分割期間に分割することによって、および、分割期間におけるデータと直交行列の成分とから得られる列電圧に応じた値を昇順または降順に並べ替えて出力することによって、駆動波形における変化点数を減少させる。その結果、駆動波形における周波数成分のばらつきが減少する。さらに、図7(d)に示すように、1選択期間毎に、昇順に出力する状態と降順に出力する状態とを逆にすることによって、より効果的に駆動波形における変化点数を減少させることができる。

【0070】本実施の形態では、1選択期間の分割数が7(階調数が8)であったが、例えば、分割数を8にして階調数を9にする場合を考えると、MLACの数を3から4に増加し、増加されたMLACに対する重みを8にすればよいことになる。そのような重み(Wt.)付けの例を図8の(a), (b)に示す。しかし、単純にそのようにしたのでは、ラインL₀に着目すると、8個の「1」以外に7個の「0」が発生する(図8(b)より)。他のラインL₁～L₃についても同様に余分な「0」が発生する。

【0071】そのようなデータを用いてMLA演算を行って液晶表示装置に電圧印加を行うと、期待している電圧実効値とは異なる電圧実効値が印加される。よって、期待している表示がなされなくなってしまう。このことは、分割数を8にした場合に限らず、(分割数+1)が2のn乗(ここでnは自然数)にならない場合には常に該当する。そこで、本発明では、重み付けを以下のようにして決定する。

【0072】1選択期間の分割数をNとすると、まず、 $N \geq (\lceil 2^{\lceil P_0 + 1 \rceil} \rceil - 1)$ となる最大の整数P₀を求める。ここで、「 $\lceil \cdot \rceil$ 」の右側の数は指数を示す。求められたP₀にもとづく $2^{\lceil P_0 + 1 \rceil}$ が、2のn乗(ここでnは非負の整数)で表現可能な各重み付けの最大値である。そして、 $2^{\lceil P_0 + 1 \rceil}, 2^{\lceil P_0 + 1 \rceil} - 1, \dots, 2^{\lceil P_0 + 1 \rceil} - 2^{\lceil P_0 + 1 \rceil}$ を、重み付けとして用いることに決定する。ここで決定された重み付けを、「通常の2進数による重み付け」と呼ぶことにする。

【0073】次に、通常の2進数による重み付け以外の重み付け(「追加の重み付け」と呼ぶ。)を決定する。まず、 $(N - (\lceil 2^{\lceil P_0 + 1 \rceil} \rceil - 1)) \geq 2^{\lceil P_1 + 1 \rceil}$ となる最大の整数P₁を求める。求められたP₁にもとづく $2^{\lceil P_1 + 1 \rceil}$ を1番目の追加の重み付けとする。さらに、 $(N - (\lceil 2^{\lceil P_0 + 1 \rceil} \rceil - 1)) - 2^{\lceil P_1 + 1 \rceil} \geq 2^{\lceil P_2 + 1 \rceil}$ となる最大の整数P₂を求める。求められたP₂にもとづく $2^{\lceil P_2 + 1 \rceil}$ を2番目の追加の重み付けとする。以下、同様に、 $N - (\lceil 2^{\lceil P_0 + 1 \rceil} \rceil - 1) - 2^{\lceil P_1 + 1 \rceil} - \dots - 2^{\lceil P_{x-1} + 1 \rceil} = 0$ となるまで、順次、整

数 $P_3 \sim P_n$ を求め、全ての追加の重み付けを決定する。

【0074】例えば、 $N = 13$ の場合には、 $N (= 13) \geq ([2^{\lceil P_0 + 1 \rceil}] - 1)$ となる最大の整数 P_0 は「2」であるから、 $2^{\lceil 2 \rceil} 2$ を(=4), $2^{\lceil 1 \rceil}$ を(=2), $2^{\lceil 0 \rceil}$ を(=1)を通常の2進数による重み付けとする。また、 $(13 - [8 - 1]) \geq 2^{\lceil P_1}$ となる最大の整数 P_1 は「2」であるから、 $2^{\lceil 2 \rceil} 2$ を(=4)を1番目の重み付けとする。さらに、 $(13 - [8 - 1] - 4) \geq 2^{\lceil P_2}$ となる最大の整数 P_2 は「1」であるから、 $2^{\lceil 1 \rceil} 1$ を(=2)を2番目の追加の重み付けとする。よって、 $N = 13$ の場合には、通常の2進数による重み付けとしての4, 2, 1、および追加の重み付けとしての4, 2が重み付けとなる。つまり、1選択期間を階調数に応じて均等に分割した場合の分割期間の数が(2の累乗-1)でない場合には、2のn乗(n は0または正の整数、より具体的には0から連続する非負の整数)の重み付けを付けた各重み付け期間と、分割期間の数からそれらの重み付け期間に対する重み付けの和を引いた分について2のm乗(m はnより大きい0または正の整数)の重み付けを付けた重み付け期間とを設定する。

【0075】なお、(分割数+1)が2のn乗(ここでnは自然数)で表現できる場合にも、 $N \geq ([2^{\lceil (P_0 + 1) \rceil}] - 1)$ となる最大の整数 P_0 を求めるこによって重み付けを決定することができる。例えば、 $N = 7$ の場合には、 P_0 は「2」であるから、 $2^{\lceil P_0 \rceil}, 2^{\lceil (P_0 - 1) \rceil}, \dots, 2^{\lceil 0 \rceil}$ としての4, 2, 1を重み付けとして用いることに決定する。そして、 $N (= 7) = 4 + 2 + 1$ であるから、追加の重み付けを決定する必要はない。つまり、1選択期間を階調数に応じて均等に分割した場合の分割期間の数が(2の累乗-1)であるときには、重み付けの和が分割期間の数に相当するように、各重み付け期間に、2のn乗(n は0または正の整数、より具体的には0から連続する非負の整数)の重み付けを付ける。

【0076】(実施の形態2) 次に、(分割数+1)が2のn乗(ここでnは自然数)で表現できない場合の例として、分割数N=8の場合について説明する。 $N = 8$ の場合には、 $N (= 8) \geq ([2^{\lceil (P_0 + 1) \rceil}] - 1)$ となる最大の整数 P_0 は「2」であるから、 $2^{\lceil P_0 \rceil}, 2^{\lceil (P_0 - 1) \rceil}, \dots, 2^{\lceil 0 \rceil}$ としての4, 2, 1を通常の2進数による重み付けとして用いることに決定する。また、 $(8 - [8 - 1]) \geq 2^{\lceil P_1}$ となる最大の整数 P_1 は「0」であるから、 $2^{\lceil 0 \rceil} 0$ を(=1)を次に大きい重み付けとする。従って、 $N = 8$ の場合には、通常の2進数による重み付けとしての4, 2, 1、および追加の重み付けとしての1が重み付けとなる。

【0077】図9は、分割数N=8の場合のPWM成分

等の例を示す説明図である。図9において、(a)は1列分の表示データの例を示す説明図、(b)は通常の2進数による重み付け(Wt.)としての4, 2, 1、および追加の重み付けとしての1を用いた場合のPWM成分およびMLA演算結果の例を示す説明図、(c)は選択行列の例を示す説明図である。図9(b)において、重み付けされたPWM期間(0)の長さは、1選択期間を8等分したPWM期間(分割期間 $T_0 \sim T_7$)の1つ分の長さに相当する。また、重み付けされたPWM期間(1)の長さは分割期間2つ分の長さに相当し、重み付けされたPWM期間(2)の長さは分割期間4つ分の長さに相当し、重み付けされたPWM期間(3)の長さは分割期間1つ分の長さに相当する。

【0078】図10は、通常の2進数による重み付けとしての4, 2, 1、および追加の重み付けとしての1の重み付けを用いた場合のMLAD104の構成を示すブロック図である。図9に示す構成では、MLAD104において、GDATA21は、表示データから図9(b)に示す重み付けされた各PWM期間(0)～(3)の階調データ(PWM成分)を生成する。なお、図2に示す実施の形態1の場合と同様に、ビットマップメモリ31の各列に対応してMLAD104がそれぞれ接続されている。

【0079】また、MLAC120C₀, 120C₁, 120C₂, 120C₃は、重み付けされた各PWM期間(0)～(3)に対応して設けられ、それぞれ、GDATA21から出力される重み付けされた各PWM期間(0)～(3)のPWM成分と、RSELRL15から出力される行選択パターンの成分とからMLA演算を行う。すなわち、MLAC120C₀～120C₃は、それぞれ、各PWM成分と選択行列の成分との排他的論理和を算出して算出結果を加算し(MLA演算)、加算結果を出力する。従って、MLAC120C₀～120C₃から「0」～「4」のいずれかが出力される。MLAC120C₀～120C₃から出力される加算結果は、列電圧のレベルを示す値である。

【0080】さらに、CNT13は、各MLAC120C₀～120C₃から出力される「0」～「4」のそれぞれの個数を計数し計数結果(「0」～「4」のそれぞれの個数(0～8の9値のうちのいずれか))をCMP14に出力する。CMP14は、CNT13から出力された計数結果を、CYCT16から出力されるサイクル信号に従って、列電圧を発生する列電圧発生回路(図示せず)に出力する。サイクル信号は、1選択期間における各PWM期間 $T_0 \sim T_7$ のうちどの期間にあるのかを示す信号であり、例えば、サイクル信号として0～7を示す信号が順に繰り返し出力される。

【0081】次に、図10に示すMLAD104の動作を、図8(a)の説明図、図9の説明図および図11のMLAD104の動作を示すタイミング図を参照して説

明する。図11において、10Aはサイクル値、10BはGDATP11から出力されるPWM成分、10CはRSELRL15から出力される行選択パターン、10DはMLAC120C₀～120C₃の出力、10EはCNT13の出力（出力更新）、10FはCMP14の出力を示す。図11に示すように、サイクル値が「3」になると、ビットマップメモリ31から、MLAD104におけるGDATP21に対してラインL₀の表示データが出力され、サイクル値が「4」になるとラインL₁の表示データが出力され、サイクル値が「5」になるとラインL₂の表示データが出力され、サイクル値が「6」になるとラインL₃の表示データが出力される。

【0082】また、GDATP21は、ラインL_n（本例ではnは0～3）の表示データを入力する毎に、入力した表示データに対応した重み付けされた各PWM期間（0）～（3）のPWM成分を生成する。そして、PWM成分の各要素を対応するMLAC120C₀～120C₃に出力する。表示データが図9の（a）に示すようであるとすると、図9の（b）に示す重み付けされたPWM期間（0）のPWM成分がMLAC120C₀に出力され、重み付けされたPWM期間（1）のPWM成分がMLAC120C₁に出力され、重み付けされたPWM期間（2）のPWM成分がMLAC120C₂に出力され、重み付けされたPWM期間（3）のPWM成分がMLAC120C₃に出力される。

【0083】そして、RSELRL15は、GDATP21から各MLAC120C₀～120C₃にラインL_nのPWM成分が出力されるときに、その時点の選択期間に対応する行選択パターンにおける成分を出力している。例えば、図9（c）に示すR₂の行選択パターンを使用している場合には、RSELRL15は、GDATP21から各MLAC120C₀～120C₃にラインL₀のPWM成分が出力されるときに、R₂の行選択パターンにおけるラインL₀に対応した成分である「1」を出力し、GDATP21から各MLAC120C₀～120C₃にラインL₁のPWM成分が出力されるときに、R₂の行選択パターンにおけるラインL₁に対応した成分である「0」を出力する。同様に、GDATP21から各MLAC120C₀～120C₃にラインL₂、L₃のPWM成分が出力されるときに、R₂の行選択パターンにおけるラインL₂、L₃に対応した成分を出力する。

【0084】各MLAC120C₀～120C₃は、GDATP21から出力されたPWM成分と行選択パターンの成分についてMLA演算を行い、演算結果をCNT13に出力する。例えば、各MLAC120C₀～120C₃は、GDATP21からラインL₀のPWM成分を入力する。その際には、RSELRL15から行選択パターンにおけるラインL₀の成分が出力されている。各MLAC120C₀～120C₃は、ラインL₀

WM成分と行選択パターンにおけるラインL₀の成分との排他的論理和を算出し算出結果を記憶する。また、各MLAC120C₀～120C₃は、GDATP21からラインL₁のPWM成分を入力する。その際には、RSELRL15から行選択パターンにおけるラインL₁の成分が出力されている。各MLAC120C₀～120C₃は、ラインL₁のPWM成分と行選択パターンにおけるラインL₁の成分との排他的論理和を算出し算出結果を記憶する。同様に、各MLAC120C₀～120C₃は、GDATP21からラインL₂、L₃のPWM成分を入力する。その際には、RSELRL15から行選択パターンにおけるラインL₂、L₃の成分が出力されている。各MLAC120C₀～120C₃は、ラインL₂、L₃のPWM成分と行選択パターンにおけるラインL₂、L₃の成分との排他的論理和を算出し算出結果を記憶する。各MLAC120C₀～120C₃は、サイクル値が「7」になると、記憶された各値を加算する。そして、加算結果をMLA演算結果（列電圧のレベルを示す値）としてCNT13に出力する。

【0085】行選択パターンが図9の（c）に示す選択行列のうちのR₂であったとすると、MLAC120C₀は列電圧のレベルを示す値として「1」をMLA演算結果として出力し、MLAC120C₁は「3」を出力し、MLAC120C₂は「1」を出力、MLAC120C₃は「2」を出力する（図9（b）参照）。

【0086】CNT13は、サイクル値が「7」になると、各MLAC120C₀～120C₃から出力される「0」～「4」のそれぞれの個数を計数し計数結果をCMP14に出力するのであるが、本実施の形態では、MLAC120C₀およびMLAC120C₃からの値をそのまま計数し、MLAC120C₁からの値を2回出力されたと見なして計数し、MLAC120C₂からの値を4回出力されたと見なして計数する。従って、本例では、「4」について0、「3」について2個、「2」について1個、「1」について5個を示す信号をCMP14に出力するように出力値を更新する。

【0087】CMP14は、サイクル値が「0」になると、列電圧のレベルを示す値のうち最も小さい値を出力する。この場合には、「1」を出力する。また、サイクル値が「1」になると、その時点で、列電圧のレベルを示す値のうち最も小さい値を出力する。なお、既に出力済みの値は、最も小さい値の判断対象から除外される。CMP14は、同様に、サイクル値が「2」、「3」、「4」、「5」、「6」、「7」になると、それぞれの時点で、列電圧のレベルを示す値のうち最も小さい値を出力する。

【0088】なお、本実施の形態では、CMP14がMLA演算後の列電圧を示す値を昇順に並べ替えて出することになるが、降順に並べ替ても同様の効果を得ることができる。さらに、選択期間毎に、昇順に出力する

状態と降順に出力する状態とを逆にするように構成してもよい。

【0089】(実施の形態3)上記の実施の形態では、列電圧の電圧レベル数は5レベルであったが(同時選択ライン数が4の場合)、MLA法において列電圧の電圧レベル数を低減化する方法として同時選択されるラインの一部を実際に表示させないダミーラインとする方法がある。

【0090】以下、ダミーラインを設けたMLA法に重み付けを用いたPWM法を適用した例を図12を用いて説明する。ここでは、同時選択ライン数を3とし、1つのダミーラインを設定し、MLAの1選択期間をT₀～T₇の8つの分割期間に分割してPWM法を実現する場合を例にする。図12において、(a)は1列分の表示データの例を示す説明図、(b)は(a)に示す表示データに対応した各分割期間T₀～T₇におけるPWM成分およびMLA演算結果の例を示す説明図、(c)はダミーラインを含む選択行列の例を示す説明図、(d)は通常の2進数による重み付け(Wt.)としての4, 2, 1、および追加の重み付けとしての1を用いた場合のPWM成分の例を示すを示す説明図である。図12(d)において、重み付けされたPWM期間(0)の長さは、1選択期間(T)を8つのPWM期間(分割期間T₀～T₇)に等分に分割した場合の分割期間1つ分の長さに相当する。また、重み付けされたPWM期間(1)の長さは分割期間2つ分の長さに相当し、重み付けされたPWM期間(2)の長さは分割期間4つ分の長さに相当し、重み付けされたPWM期間(3)の長さは分割期間1つ分の長さに相当する。

【0091】(0)～(3)のそれぞれの重み付けされたPWM期間で、列電圧の電圧レベル数を2レベルにするための仮想行のデータを決定する。図12(c)に示す直交行列を用い、R₂が行選択パターンである場合には、重み付けされたPWM期間(0), (1)では仮想データ(ダミーデータ)を「0」とする。また、重み付けされたPWM期間(2), (3)のPWM期間では仮想データを「1」とする。

【0092】そして、MLA演算を行うと、演算結果には「1」および「3」の2種類しか現れない。このように、ダミーラインを設けた場合には列電圧の電圧レベル数を低減することができ、同時選択ライン数を3として1ラインのダミーラインを設けた場合には、列電圧の電圧レベル数を2レベルにすることができる。

【0093】図13は、実施の形態3の構成例を示すブロック図である。図13に示す構成では、MLAD105において、GDATP21は、表示データから重み付けされた各PWM期間(0)～(3)のPWM成分を生成する。また、MLAC120C₀, 120C₁, 120C₂, 120C₃は、重み付けされた各PWM期間(0)～(3)に対応して設けられ、それぞれ、GDA

TP21から出力される重み付けされた各PWM期間(0)～(3)のPWM成分に列電圧の電圧レベル数を低減させるための仮想データを附加したものと、RSELRLR15から出力される行選択パターンの成分とからMLA演算を行う。なお、GDATP21から出力されるPWM成分に既に仮想データが含まれているように構成してもよい。

【0094】MLAC120C₀～120C₃は、それぞれ、各PWM成分(仮想データを含む)とダミーラインを含む選択行列の成分との排他的論理和を加算し加算結果を出力する。この場合、仮想データを適当に設定することによって、MLAC120C₀～120C₃によるMLA演算の結果を「1」または「3」のいずれかにすることができる。そして、MLAC120C₀～120C₃は、MLA演算の結果が「1」である場合には「0」を出し、MLA演算の結果が「3」である場合には「1」を出力する。

【0095】MLA演算の結果が「1」である場合には列電圧として-V_cが用いられ、MLA演算の結果が「3」である場合には列電圧として+V_cが用いられる。よって、MLAC120C₀～120C₃が出力する「0」は-V_cに対応し、MLAC120C₀～120C₃が出力する「1」は+V_cに対応する。

【0096】加算を行う回路であるADD131は、各MLAC120C₀～120C₃から出力される「1」の個数(0～8の9値のうちのいずれか)を加算し加算値をCMP14に出力する。CMP14は、ADD131から出力された加算値に応じて、データをCYCT16から出力されるサイクル信号に従って出力する。

【0097】なお、図2に示す実施の形態1の場合と同様に、ビットマップメモリ31の各列に対応してMLAD105がそれぞれ接続されている。また、本実施の形態では、各演算手段は、重み付けされた各PWM期間に對応して設けられている各MLAC120C₀～120C₃で実現され、各演算手段から出力される演算値(本例では0～1のいずれか)の発生数を計数する計数手段は、ADD131で実現され、列電圧値出力手段は、CMP14およびCYCT16で実現されている。

【0098】次に、図13に示すMLAD105の動作を、図12の説明図および図14のタイミング図を参照して説明する。図14において、13Aはサイクル値、13BはGDATP21から出力されるPWM成分、13CはRSELRLR15から出力される行選択パターン、13DはMLAC120C₀～120C₃の出力、13EはADD131の出力(出力更新)、13FはCMP14の出力を示す。図14に示すように、サイクル値が「4」になると、ビットマップメモリ31から、MLAD105におけるGDATP21に対してラインL₀の表示データが出力され、サイクル値が「5」になるとラインL₁の表示データが出力され、サイクル値が「6」

になるとラインL₂の表示データが出力される。

【0099】また、GDATP21は、ラインL_n（本例ではnは0～2）の表示データを入力する毎に、入力した表示データに対応した重み付けされた各PWM期間（0）～（3）のPWM成分を生成する。そして、PWM成分の各要素を対応するMLAC120C₀～120C₃に出力する。表示データが図12の（a）に示すようであるとすると、図12の（d）に示す重み付けされたPWM期間（0）のPWM成分がMLAC120C₀に出力され、重み付けされたPWM期間（1）のPWM成分がMLAC120C₁に出力され、重み付けされたPWM期間（2）のPWM成分がMLAC120C₂に出力され、重み付けされたPWM期間（3）のPWM成分がMLAC120C₃に出力される。

【0100】そして、RSEL R15は、GDATP21から各MLAC120C₀～120C₃にラインL_nのPWM成分が出力されるときに、その時点の選択期間に対応する行選択パターンにおける成分を出力している。例えば、図12（c）に示すR₂の行選択パターンを使用している場合には、RSEL R15は、GDATP21から各MLAC120C₀～120C₃にラインL₀のPWM成分が出力されるときに、R₂の行選択パターンにおけるラインL₀に対応した成分である「1」を出力し、GDATP21から各MLAC120C₀～120C₃にラインL₁のPWM成分が出力されるときに、R₂の行選択パターンにおけるラインL₁に対応した成分である「0」を出力する。同様に、GDATP21から各MLAC120C₀～120C₃にラインL₂のPWM成分が出力されるときに、R₂の行選択パターンにおけるラインL₂に対応した成分を出力する。

【0101】各MLAC120C₀～120C₃は、GDATP21から出力されたPWM成分と行選択パターンの成分とについてMLA演算を行い、演算結果をADD131に出力する。例えば、各MLAC120C₀～120C₃は、GDATP21からラインL₀のPWM成分を入力する。その際には、RSEL R15から行選択パターンにおけるラインL₀の成分が出力されている。各MLAC120C₀～120C₃は、ラインL₀のPWM成分と行選択パターンにおけるラインL₀の成分との排他的論理和を算出し算出結果を記憶する。

【0102】また、各MLAC120C₀～120C₃は、GDATP21からラインL₁のPWM成分を入力する。その際には、RSEL R15から行選択パターンにおけるラインL₁の成分が出力されている。各MLAC120C₀～120C₃は、ラインL₁のPWM成分と行選択パターンにおけるラインL₁の成分との排他的論理和を算出し算出結果を記憶する。同様に、各MLAC120C₀～120C₃は、GDATP21からラインL₂のPWM成分を入力する。その際には、RSEL R15から行選択パターンにおけるラインL₂の成分が

出力されている。各MLAC120C₀～120C₃は、ラインL₂のPWM成分と行選択パターンにおけるラインL₂の成分との排他的論理和を算出し算出結果を記憶する。

【0103】さらに、ダミーラインの成分と仮想データとの排他的論理和を算出して、その算出結果と記憶されている各算出結果とを加算する処理を行って最終的なMLA演算結果を得るように構成している。しかし、MLA演算結果を「1」または「3」の2種類とするには、記憶されている各算出結果の和が「0」または「1」であればMLA演算結果を「1」とし、記憶されている各算出結果の和が「2」または「3」であればMLA演算結果を「3」とすればよい。換言すれば、そうなるように仮想データが決められる。

【0104】従って、各MLAC120C₀～120C₃は、ダミーラインの成分と仮想データとの排他的論理和を算出することなく、サイクル値が「7」になると、記憶されている各算出結果を加算する。その加算結果が「0」または「1」（2進2桁表示した場合の上位ビットが「0」）であれば、MLA演算結果（列電圧のレベルを示す値）としての「1」を示す「0」をADD131に出力する。加算結果が「2」または「3」（2進2桁表示した場合の上位ビットが「1」）であれば、MLA演算結果としての「3」を示す「1」をADD131に出力する。

【0105】行選択パターンが図12の（c）に示す選択行列のうちのR₂であったとすると、MLAC120C₀のMLA演算結果は「1」であり、MLAC120C₁のMLA演算結果は「3」であり、MLAC120C₂のMLA演算結果は「1」であり、MLAC120C₃のMLA演算結果は「1」である（図12（d）参照）。よって、MLAC120C₀は「0」を出力し、MLAC120C₁は「1」を出力し、MLAC120C₂は「0」を出力し、MLAC120C₃は「0」を出力する。

【0106】このように、直交行列は実際に表示しないダミーラインに対応した行を含む。そして、演算手段は、1選択期間に列電極に印加する電圧レベルの数（種類）を減らすように設定された仮想データを階調に応じたデータに含めて演算を行っている。

【0107】サイクル値が「7」になると、ADD131は、各MLAC120C₀～120C₃から出力される「1」の個数を加算して加算値を示す信号をCMP14に出力するように出力値を更新する。しかし、本実施の形態では、MLAC120C₀、120C₃からの値をそのまま計数し、MLAC120C₁からの値を2回出力されたと見なして計数し、MLAC120C₂からの値を4回出力されたと見なして計数する。従って、本例では、加算値として「2」を演算する。

【0108】また、本実施の形態では、CMP14は、

[（PWM分割数（分割期間 $T_0 \sim T_7$ の数、本例では8）+加算値】>サイクル信号が示す値（サイクル値）、である場合には、「0」（-V_cに対応）を出力し、それ以外の場合には、「1」（+V_cに対応）を出力する。

【0109】本例では、加算値は「2」であるから、CMP14は、PWM期間T₀～T₅では「0」を出力し、PWM期間T₆～T₇では「1」を出力する。従って、1選択期間における列電圧の変化点は1回である。このように、同時選択ライン数が3であって仮想ラインを1ライン設定した場合には、本発明によれば、列電圧の変化点が生ずる回数は高々1回に低減される。

【0110】なお、CMP14は、列電圧のレベルを示す値を降順に出力してもよい。その場合には、CMP14は、加算値>サイクル値、である場合には「1」(+V_cに対応)を出力し、それ以外の場合には、「0」(-V_cに対応)を出力する。本例では、加算値は「2」であるから、CMP14は、PWM期間T₀～T₁では「1」を出力し、PWM期間T₂～T₇では「0」を出力する。

【0111】なお、本実施の形態では、ADD131からCMP14に、2レベルの列電圧(-V_c, +V_c)のうちの一方(+V_c)に対応した「1」について0～8の9値のうちのいずれかの値を加算値として出力するが、個数の合計はPWM期間T₀～T₇に応じた8個である。よって、ADD131が一方のレベルの列電圧についての加算値を出力するようにしても、CMP14は、残り1つのレベルについての個数はわかる。なお、それぞれのレベルの列電圧についての個数を出力するようにもよい。

【0112】本実施の形態によれば、実施の形態1, 2の場合と同様に、MLACの数を削減できるのであるが、さらに計数手段としてのADD131の構成も簡略化される。つまり、加算値を2進数で表現する場合、第0ビットには重み「1(2^0)」のMLAC120C₀の出力を設定する。第1ビットには重み「2(2^1)」のMLAC120C₁の出力を設定する。第2ビットには重み「4(2^2)」のMLAC120C₂の出力を設定する。以上のように設定した上で、MLAC120C₃の出力を加算すればよい。

【0113】なお、MLAC120C₀～120C₂に設けられている重み付けは、上述した通常の2進数による重み付けに対応し、MLAC120C₃に設けられている重み付けは、上述した追加の重み付けに対応している。従って、ADD131は、通常の2進数による重み付けに対応しているMLACの出力については加算処理を行う必要はない、追加の重み付けに対応しているMLACの出力についてのみ加算処理を行えばよい。

【0114】以上に説明したように、本発明によれば、MLA演算後の列電圧を示す値を昇順に並べ替えて出力

することによって、列電圧の変化点が生ずる回数を低減する。さらに、MLACに重みを付けることによって、駆動回路の回路規模を削減できる。また、MLA演算後の列電圧を示す値を昇順または降順に並べ替えると、列電圧の変化点が生ずる回数が低減されるだけでなく、各変化点における電圧変化の程度を小さくできる。また、1選択期間の分割数を任意の数に設定する場合でも、MLACの重み付けを適切に設定することができる。

【0115】上記の実施の形態1～3では、CMP14は、PWM位相を時間的に反転する制御を行った。さらに、PWM位相を空間的に反転するようにしてもよい。PWM位相を空間的に反転するとは、隣接する列電極に印加される列電圧の位相を反転させることである。例えば、図2に示す構成において、奇数列の列電極に対応する駆動回路が昇順に列電圧のレベルを示す値を出力しているときには、偶数列の列電極に対応する駆動回路が降順に列電圧のレベルを示す値を出力するように制御する。全ての列電極に対して列電圧が同方向（立ち上がる方向または立ち下がる方向）に変化すると、行電極には大きなスパイクノイズがのってしまう。その結果、列電極の電圧の変化タイミングにおいて、画素に印加される電圧がなまり、画素に印加される電圧実効値の損失が大きくなつてクロストークが大きくなる。しかし、PWM位相を空間的に反転させた場合には、空間的に、列電圧の電圧変化方向が揃わないようにすることができる。その結果、行電極に生ずるスパイクノイズをかなり低減できる。

【0116】また、上記の実施の形態1～3では、各列電極に対応して駆動回路が設けられていたが、1つの演算回路を設け、その演算回路において、液晶表示装置の全ての列電極のそれに対応した列電圧を示す値を演算して出力するようにしてもよい。または、列電極数よりも少ない数の複数の演算回路を設けてもよい。例えば、列電極数の1/n(nは2以上の整数)の演算回路を設け、各演算回路がn本の列電極に対応した演算を行うようにしてもよい。

【0117】また、上記の実施の形態1～3では、選択期間の分割数として7または8を例示したが、分割数は3以上のいずれの値であってもよい。なお、分割数は2であつてもよいが、2の場合には、重み付け期間におけるデータと直交行列の成分とから得られる列電圧に応じた値を昇順または降順に並べ替える処理が必要とされない。さらに、駆動法としてMLAを用いた場合に実用的な表示品質が確保できる範囲で、使用するフレーム周波数に制約はない。なお、実際に使用する可能性がある64程度までの分割数を考慮すると、30～200Hz程度のフレーム周波数を使用可能である。

【0118】また、同時選択数および選択期間の分割数によらずに、本発明の昇順または降順のパレスの位置合わせが常に成立するのは、選択期間を完全、またはほぼ

完全に等分（例えば、最短の分割期間と最長の分割期間との差が10%以下）に分割する場合のみである。しかし、階調性の表示を最低限行うという観点では、「短い方から2つの分割期間の和>最長の分割期間」であれば、選択期間を非等分に分割してもパルスの位置合わせが成立する。なお、パルスの位置合わせとは、列電圧を形成するパルスが昇順または降順に出力されるように、MLA演算結果を並べ替えることである。

【0119】「短い方から2つの分割期間の和>最長の分割期間」であると、階調性の表示が成立しなくなる。例えば、3分割（0.3:0.4:1、合計1.7）の場合をあげる。データ処理上は、選択期間を等分に分割した均等分割として扱うと、1/3階調であるべきところが、0.3/1.7、0.4/1.7、または1/1.7階調として表示され、2/3階調であるべきところが、0.7/1.7、1.3/1.7、または1.4/1.7階調として表示される。すると、階調の逆転が生じ、階調表示として成立しなくなる。

【0120】ただし、同時選択数が3で仮想行が1行の場合などのMLA演算結果が2種類（+V_oと-V_o）である場合で、3分割（例えば、3:1:1、合計5）で2つの分割期間の長さが等しいような場合には、MLA演算結果の並べ替えによって変化点を1つにすることができる、階調表示が成立する。

【0121】

【発明の効果】以上に述べたように、本発明によれば、消費電流の増大とクロストークの増大を抑制でき、さらには駆動回路の回路規模の増大を抑制できる効果がある。

【0122】分割期間の数が（2の累乗-1）であるときには2のn乗（nは0または正の整数）の重み付けを付けるので、駆動回路の回路規模の増大を効果的に抑制できる。

【0123】2のn乗（nは0または正の整数）の重み付けを付けた複数の重み付け期間と、分割期間の数から複数の重み付け期間に対する重み付けの和を引いた分について2のm乗（mはnより大きくなり0または正の整数）の重み付けを付けた重み付け期間とを設定することによって、分割期間の数が（2の累乗-1）でなくても、消費電流の増大とクロストークの増大を抑制し、駆動回路の回路規模の増大を抑制する駆動方法および駆動回路を実現できる。

【0124】1選択期間を等分に分割して分割期間とすることによって、表示品位を低下させないようにすることができる。

【0125】直交行列に実際に表示しないダミーラインに対応した行を含め、1選択期間に列電極に印加する電圧レベルの数を減らすように設定された仮想データを階

調に応じたデータに含めて演算を行うことによって、列電圧の電圧レベル数を低減しつつ、駆動回路の回路規模の増大を抑制する駆動方法および駆動回路を実現できる。

【図面の簡単な説明】

【図1】 液晶表示装置の駆動回路の構成例を示すブロック図。

【図2】 ビットマップメモリと駆動回路の接続例を示すブロック図。

【図3】 MLA法に8階調表示を行うことができるPWM法を適用した本発明の一例を示す説明図。

【図4】 駆動回路の比較例の一例を示すブロック図。

【図5】 MLACになされる重み付けを説明するための説明図。

【図6】 実施の形態1の駆動回路の動作を示すタイミング図。

【図7】 実施の形態1の駆動回路における駆動波形等を示す説明図。

【図8】 重み付けの例を示す説明図。

【図9】 分割数N=8の場合のPWM成分等の例を示す説明図。

【図10】 実施の形態2の駆動回路の示すブロック図。

【図11】 実施の形態2の駆動回路の動作を示すタイミング図。

【図12】 実施の形態3のMLA法にPWM法を適用した例を示す説明図。

【図13】 実施の形態3の駆動回路の示すブロック図。

【図14】 実施の形態3の駆動回路の動作を示すタイミング図。

【図15】 MLA法にPWM法を適用した従来例を示す説明図。

【図16】 一般的なPWM法の例を示す説明図。

【図17】 仮想行を設けた場合のMLA法にPWM法を適用した従来例を示す説明図。

【図18】 従来駆動法を説明するための説明図。

【符号の説明】

102C, 104, 105 MLAC

102C₁ ~ 102C_n MLAD

11 G DATA

120C₀ ~ 120C₆ MLAC

13 CNT

131 ADD

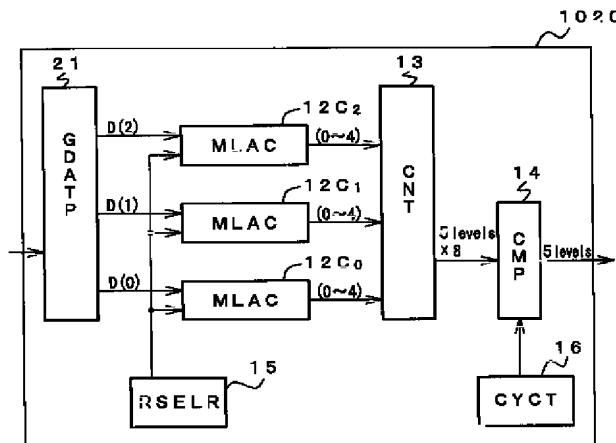
14 CMP

15 RSEL R

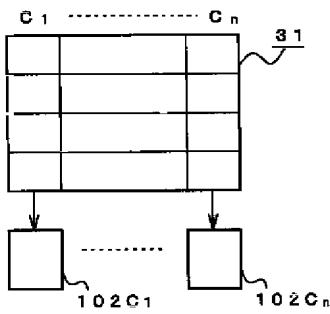
16 CYCT

31 ビットマップメモリ

【図1】



【図2】



【図16】

	T ₀	T ₁	T ₂	T ₃	T ₄
5/6	1	1	1	1	1
4/5	1	1	1	1	0
3/5	1	1	1	0	0
2/5	1	1	0	0	0
1/5	1	0	0	0	0
0/5	0	0	0	0	0

【図3】

	R ₁	R ₂	R ₃	R ₄
L ₀	6/7			
L ₁	2/1			
L ₂	1/1			
L ₃	4/7			

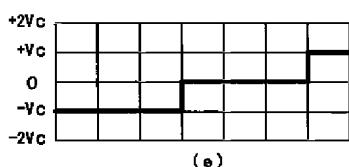
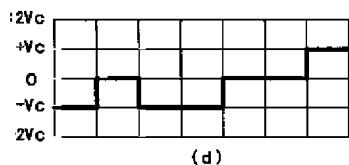
(a)

	R ₁	R ₂	R ₃	R ₄
L ₀	0	1	1	1
L ₁	1	0	1	1
L ₂	1	1	0	1
L ₃	1	1	1	0

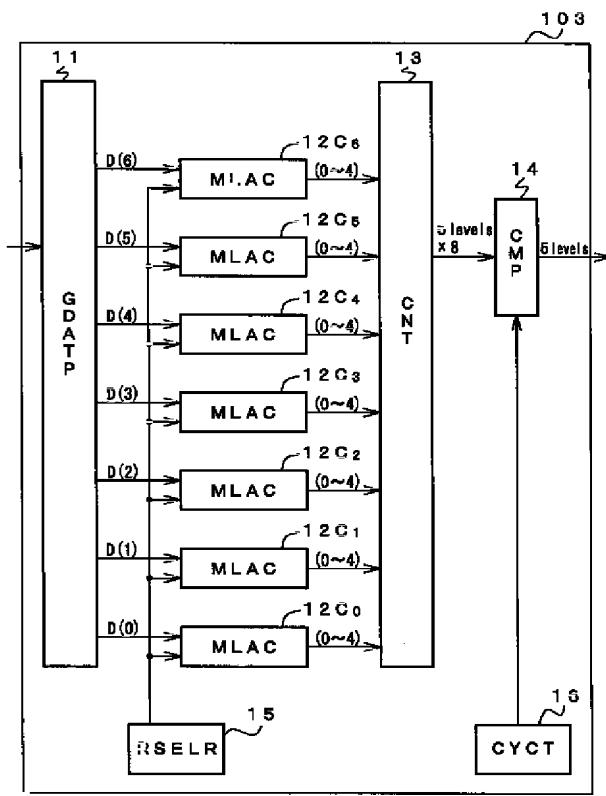
(c)

	T ₀	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆
L ₀	1	1	1	1	1	1	0
L ₁	1	1	0	0	0	0	0
L ₂	1	0	0	0	0	0	0
L ₃	1	1	1	1	0	0	0

(b)



【図4】



【図5】

(a)

	T ₀	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆
L ₀	1	1	1	1	1	1	0
L ₁	1	1	0	0	0	0	0
L ₂	1	0	0	0	0	0	0
L ₃	1	1	1	1	0	0	0

(b)

L ₀	(0)	(1)	(2)
L ₁	0	1	1
L ₂	0	1	0
L ₃	0	0	1

(Wt.) 1 2 4)

2 3 1

【図8】

(a)

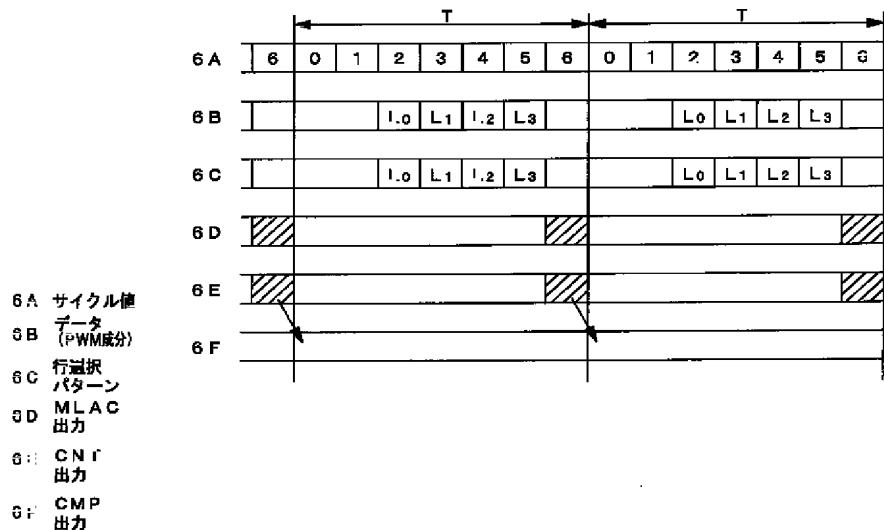
	T ₀	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆	T ₇
L ₀	8/8							
L ₁	2/8							
L ₂	1/8							
L ₃	4/8							

(b)

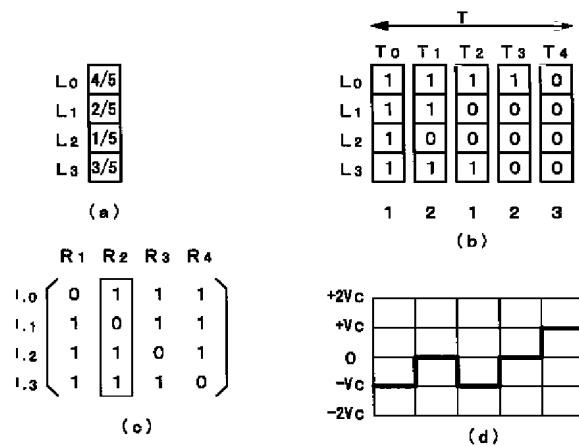
L ₀	(0)	(1)	(2)	(3)
L ₁	0	0	0	1
L ₂	1	0	0	0
L ₃	0	0	1	0

(Wt.) 1 2 4 8)

【図6】



【図17】



【図7】

	R1	R2	R3	R4
L0	2/7	2/7	2/7	
L1	2/7	2/7	2/7	
L2	2/7	2/7	2/7	
L3	2/7	2/7	2/7	

(a)

L0	0	1	1	1
L1	1	0	1	1
L2	1	1	0	1
L3	1	1	1	0

(e)

	(0)	(1)	(2)
L0	0	1	0
L1	0	1	0
L2	0	1	0
L3	0	1	0

(Wt.)

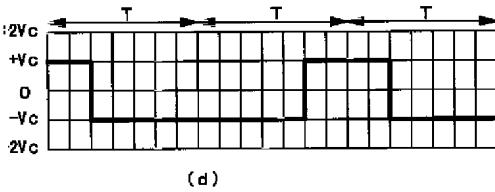
1

2

4

0

(b)



(d)

	R1	R2	R3	R4
L0	8/8			
L1	2/8			
L2	1/8			
L3	4/8			

(a)

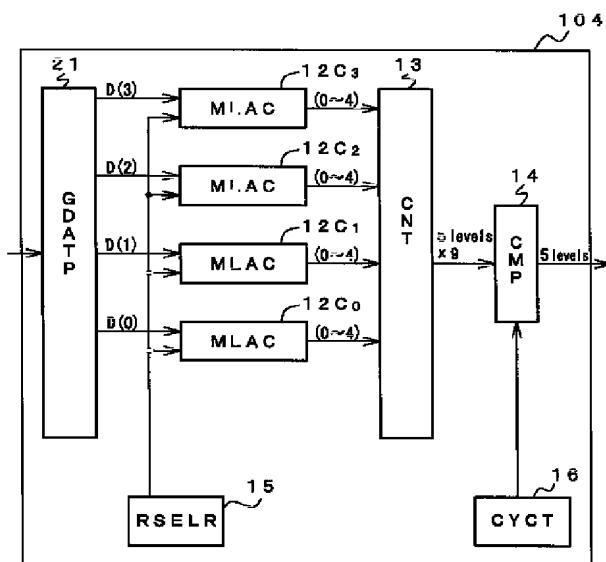
【図9】

	R1	R2	R3	R4
L0	0	1	1	1
L1	1	0	1	1
L2	1	1	0	1
L3	1	1	1	0

(e)

(b)

【図10】



【図12】

	R1	R2	R3	R4
L0	8/8			
L1	2/8			
L2	1/8			

(a)

(e)

T ₀	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆	T ₇
L0	1	1	1	1	1	1	1
L1	1	1	0	0	0	0	0

(b)

	(0)	(1)	(2)	(3)
L0	1	1	1	1
L1	0	1	0	0
L2	1	0	0	1
	1	2	4	1

(1)

1

3

1

1

(2)

1

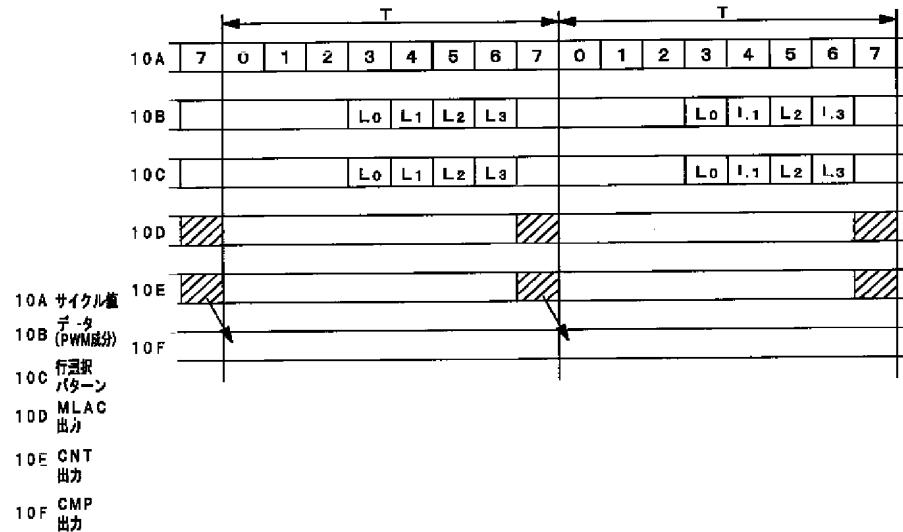
0

0

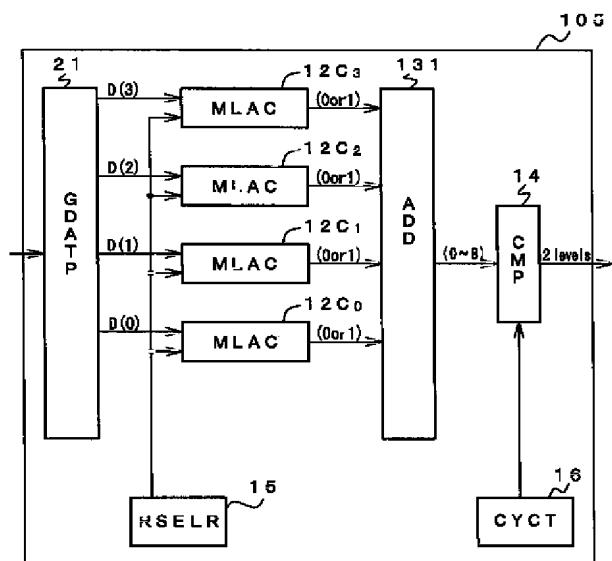
1

1

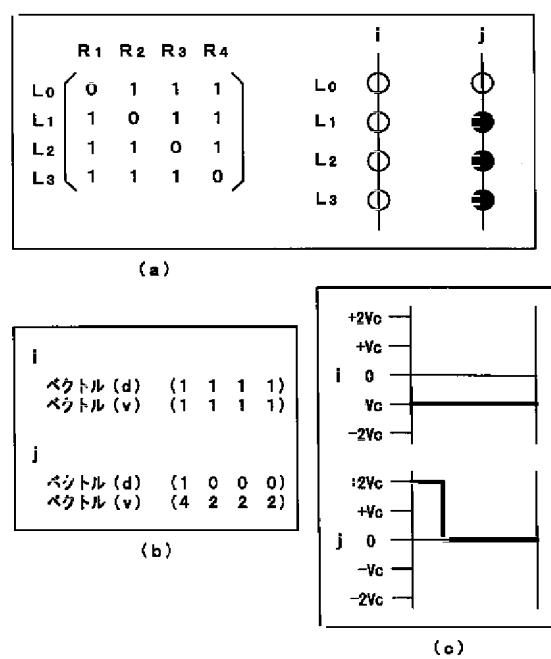
【図11】



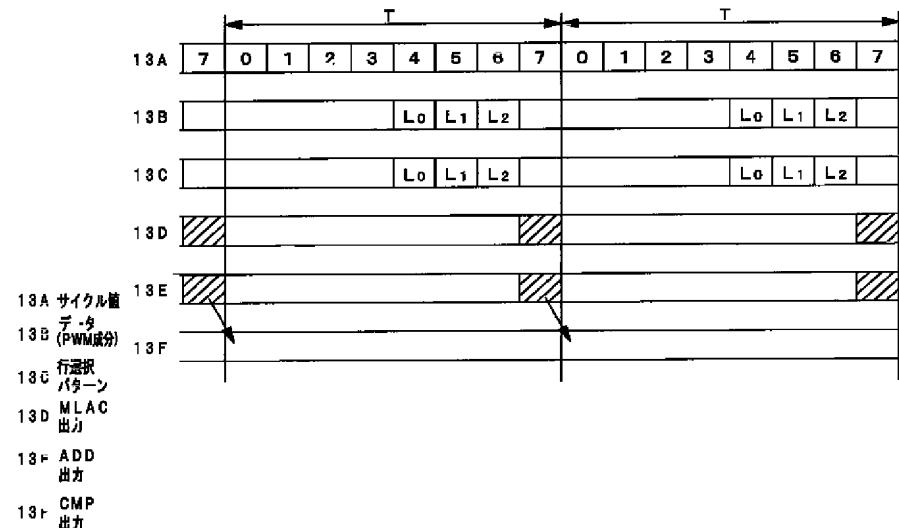
【図13】



【図15】



【図14】



【図18】

	R1	:R2	R3	R4
L0	2/7	2/7	2/7	
L1	2/7	2/7	2/7	
L2	2/7	2/7	2/7	
L3	2/7	2/7	2/7	

(a)

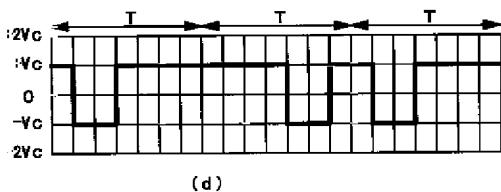
L0	0	1	1	1
L1	1	0	1	1
L2	1	1	0	1
L3	1	1	1	0

(c)

	(0)	(1)	(2)
L0	0	1	0
L1	0	1	0
L2	0	1	0
L3	0	1	0

(Wt. 1 2 4)

(b)



(d)

フロントページの続き

(51) Int.C1.7	識別記号	F I	(参考)
G O 9 G 3/20	6 2 2	G O 9 G 3/20	6 2 2 Q
	6 4 1		6 4 1 A
H O 4 N 5/66	1 0 2	H O 4 N 5/66	1 0 2 B

(21) 03-157062 (P2003-157062A)

F ターム(参考) 2H093 NA47 NA51 NA58 NA59 NC02
NC09 NC50 ND06 ND17 ND39
ND54
5C006 AA15 AC13 AC23 AC25 AF45
AF46 AF51 AF53 AF69 AF71
BB12 BC16 BF14 BF24 BF28
FA21 FA36 FA47
5C058 AA06 BA02 BA10 BA26 BB03
5C080 AA10 BB05 DD10 DD26 EE29
FF09 JJ02 JJ04 JJ05